

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 8 月 15 日 (15.08.2002)

PCT

(10) 国際公開番号
WO 02/063690 A1

(51) 国際特許分類⁷: H01L 27/115, 21/8247,
29/788, 29/792, 21/76, 21/8234, 27/088

[JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20
番1号 株式会社 日立製作所 半導体グループ内 Tokyo
(JP).

(21) 国際出願番号: PCT/JP01/10082

(22) 国際出願日: 2001 年 11 月 19 日 (19.11.2001)

(74) 代理人: 筒井大和(TSUTSUI, Yamato); 〒160-0023 東
京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒
井国際特許事務所 Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(81) 指定国 (国内): CN, JP, KR, SG, US.

(30) 優先権データ:
特願2001-31776 2001 年 2 月 8 日 (08.02.2001) JP

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(71) 出願人 (米国を除く全ての指定国について): 株式会
社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010
東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

添付公開書類:
— 国際調査報告書

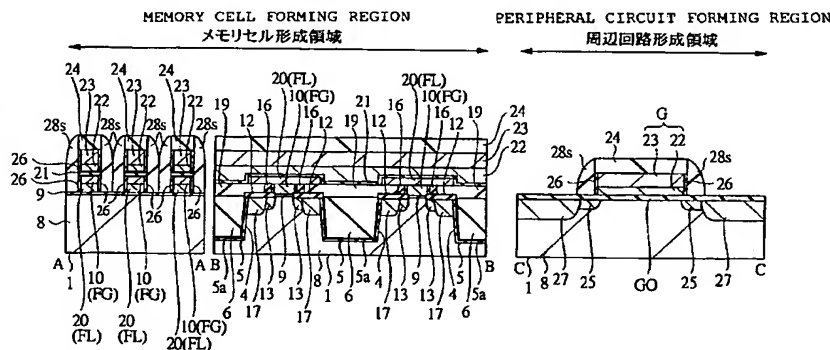
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西本敏明 (NISHI-
MOTO, Toshiaki) [JP/JP]. 加藤正高 (KATO, Masataka)

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体集積回路装置およびその製造方法



(57) Abstract: In order to reduce the defects of a semiconductor substrate in an element forming region in which a memory cell is formed and to reduce a junction leakage, a thermal oxide film (5) is formed in an element isolation groove (4), and an oxide-nitride film (5a) or a silicon nitride film is formed on the surface of the thermal oxide film (5). After this, a silicon oxide film (6) is buried in the element isolation groove (4). As a result, even if

the subsequent steps include an oxidizing step such as the step of forming Wright oxide films (12, 26) or the step of forming a gate oxide film (GO) of a high-breakdown-voltage MISFET, the progress of the oxidation of the thermal oxide film (5) can be suppressed by the oxide-nitride film (5a) on its surface. Therefore, the stress in the element isolation groove can be suppressed to reduce the defects of the semiconductor substrate in the element forming region and to reduce the junction leakage.

[続葉有]

BEST AVAILABLE COPY

WO 02/063690 A1



(57) 要約:

メモリセルが形成される素子形成領域内の半導体基板の欠陥を低減させ、接合リークの低減を図るため、素子分離溝4内に熱酸化膜5を形成し、熱酸化膜5の表面に酸窒化膜5aもしくは窒化シリコン膜を形成した後、素子分離溝4内に酸化シリコン膜6を埋め込む。その結果、以降の工程に、例えば、ライト酸化膜(12、26)を形成する工程や高耐圧MISFETのゲート酸化膜GO形成工程等の酸化工程を有していても、熱酸化膜5の酸化の進行を、その表面の酸窒化膜5a等により抑えることができる。従って、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

明 細 書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、S G I (Shallow Groove Isolation) を利用した微細なM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) に適用して有効な技術に関するものである。

10

背景技術

S G I とは、L S I 製造プロセスにおける素子分離技術の一種で、半導体基板に形成した溝の内部を酸化シリコン膜などの絶縁膜で埋め込むことにより素子分離を形成し、これを素子（素子形成領域）間の分離に用いるというものである。

15 S G I を利用した場合、従来のL O C O S (Local Oxidation of silicon) 技術よりも素子分離間隔を縮小することができる等の利点がある。

本発明者らは、微細なM I S F E T、中でも特に、電氣的書き込みおよび消去が可能な不揮発性メモリの研究・開発に従事している。

この不揮発性メモリにも前述のS G I 技術が採用されている。

20 一方、M I S F E T を構成するゲート電極端部下に厚いゲート絶縁膜（ライト酸化膜）を形成し、ゲート電極の端部における電界集中を緩和する技術が採用されている。この技術は、駆動電位の大きい不揮発性メモリにおいて、特に重要な技術となっている。

25 しかしながら、不揮発性メモリセルの微細化に伴い本発明者らは、次のような問題に直面した。

即ち、半導体基板に形成した溝の内部に埋め込まれた酸化シリコン膜、特に、溝の内壁に生じたドライエッチングのダメージを回復するために形成される薄い熱酸化膜の酸化が、その後の熱工程、例えば、前述のライト酸化膜形成時等により進行し、溝内部の応力が大きくなる。その結果、素子形成領域内の半導体基板

を構成する原子の格子内に転位が発生し、欠陥となる。このような欠陥は、接合リーク及びメモリゲート酸化膜質劣化の原因となり、リーク電流による読み出し誤動作、書き換えサイクル耐性劣化を引き起こす。また、前記欠陥を低減するために、熱負荷を低減すると、例えばライト酸化膜が薄くなりリテンション特性が劣化する。

本発明の目的は、素子形成領域内の半導体基板の欠陥を低減させることにある。

また、本発明の他の目的は、素子形成領域内の半導体基板の欠陥を低減させることにより接合リークの低減を図ることにある。

また、本発明の他の目的は、接合リークの低減を図ることにより、製品の歩留まり向上や信頼性の向上を図ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体集積回路装置の製造方法は、素子分離溝内に第1熱酸化膜を形成し、前記第1熱酸化膜を窒化処理することにより前記第1熱酸化膜の表面に酸窒化膜を形成した後、前記素子分離溝内に絶縁膜を埋め込む工程を有する。

このような手段によれば、以降の工程に、例えば、第2熱酸化膜を形成する工程等の酸化工程を有していても、前記第1熱酸化膜の酸化の進行を、前記酸窒化膜により抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

(2) 本発明の半導体集積回路装置の製造方法は、素子分離溝内に第1熱酸化膜を形成し、前記第1熱酸化膜上に窒化膜を形成した後、前記素子分離溝内に絶縁膜を埋め込む工程を有する。

このような手段によれば、以降の工程に、例えば、第2熱酸化膜を形成する工程等の酸化工程を有していても、前記第1熱酸化膜の酸化の進行を、前記窒化膜

により抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

- 5 (3) 本発明の半導体集積回路装置の製造方法は、素子分離溝内に熱酸化膜を形成した後、前記素子分離溝内に絶縁膜を埋め込む工程と、前記素子分離溝内に絶縁膜を埋め込む工程以降に、酸素含量が1%以下である不活性雰囲気中でのアニール工程と、を有する。

10 このような手段によれば、前記熱酸化膜のアニール工程による酸化の進行を抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

- 15 (4) 本発明の半導体集積回路装置の製造方法は、メモリセルが形成されるメモリセル形成領域と高耐圧MISFETが形成される周辺回路領域を有し、メモリセル形成領域は、素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、素子分離溝内に熱酸化膜を形成し、前記熱酸化膜を窒化処理することにより前記熱酸化膜の表面に酸窒化膜を形成した後、前記素子分離溝内に絶縁膜を埋め込む工程を有する。

20 このような手段によれば、以降の工程に、例えば、高耐圧MISFETのゲート酸化膜を形成する工程等の熱処理工程を有していても、前記熱酸化膜の酸化の進行を、前記酸窒化膜により抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

- 25 (5) 本発明の半導体集積回路装置の製造方法は、メモリセルが形成されるメモリセル形成領域と高耐圧MISFETが形成される周辺回路領域を有し、メモリセル形成領域は、素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、素子分離溝内に第1熱酸化膜を形成し、前記第1熱酸化膜を窒化処理することにより前記第1熱酸化膜の表面に酸窒化膜を形成した後、前記素子分離溝内に絶縁膜を埋め込む工程と、前記周辺回路領域の半導体基板表面に熱処理を施し、第1の酸化膜を形成した後、前記第1の酸化膜上に第2の酸化

膜を堆積し、第1および第2の酸化膜からなる高耐圧MISFET用のゲート酸化膜を形成する工程と、を有する。

このような手段によれば、高耐圧MISFETのゲート酸化膜を形成する際の熱処理工程による前記第1熱酸化膜の酸化の進行を、前記酸窒化膜により抑えることができる。また、高耐圧MISFET用のゲート酸化膜の一部を第2の酸化膜を堆積することにより形成したので、高耐圧MISFET用のゲート酸化膜形成時の熱処理による前記第1熱酸化膜の酸化の進行を抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

(6) 本発明の半導体集積回路装置は、(a) 前記素子分離領域の半導体基板中に形成された素子分離溝と、(b) 前記素子分離溝内に形成された第1熱酸化膜と、(c) 前記第1熱酸化膜上に形成された窒化膜と、(d) 前記素子分離溝内に埋め込まれた絶縁膜と、を有する素子分離と、(e) 前記素子形成領域の半導体基板上に形成されたゲート絶縁膜と、(f) 前記ゲート絶縁膜上に形成されたゲート電極と、(g) 前記ゲート電極端部下に形成された第2熱酸化膜と、(h) 前記ゲート電極の両側に形成された半導体領域と、(i) 前記ゲート電極上に形成された層間絶縁膜と、(j) 前記層間絶縁膜上に形成された制御電極であって、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を有するメモリセルを有する。

このような手段によれば、ライト酸化膜形成時の酸化工程による前記第1熱酸化膜の酸化の進行を、前記酸窒化膜により抑えることができるので、素子形成領域内の半導体基板の欠陥が少なく、また、接合リークの小さい高性能の半導体集積回路装置を提供することができる。また、前記第1熱酸化膜の膜厚は、例えば、30nm以下とすることができる。また、前記第1熱酸化膜の膜厚を前記第2熱酸化膜の膜厚より小さくすることができる。

(7) 本発明の半導体集積回路装置は、(a) 前記素子分離領域の半導体基板中に形成された素子分離溝と、(b) 前記素子分離溝内に形成された第1熱酸化膜と、(c) 前記第1熱酸化膜上に形成された窒化膜と、(d) 前記素子分離溝内に埋め込まれた絶縁膜と、を有する素子分離と、(e) 前記素子形成領域の半

導体基板上に形成された第1のゲート絶縁膜と、(f)前記第1のゲート絶縁膜上に形成された第1のゲート電極と、(g)前記第1のゲート電極端部下に形成された第2熱酸化膜と、(h)前記第1のゲート電極の両側に形成された第1の半導体領域と、(i)前記ゲート電極上に形成された層間絶縁膜と、(j)前記層間絶縁膜上に形成された制御電極であって、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を有するメモリセルと、(k)前記周辺回路領域の半導体基板上に形成された第2のゲート絶縁膜と、(l)前記第2のゲート絶縁膜上に形成された第2のゲート電極と、(m)前記第2のゲート電極の両側に形成された第2の半導体領域と、を有する高耐圧MISFETと、を有する。

このような手段によれば、高耐圧MISFETのゲート絶縁膜(第2のゲート絶縁膜)形成時の酸化工程による前記第1熱酸化膜の酸化の進行を、前記酸化膜により抑えることができるので、素子形成領域内の半導体基板の欠陥が少なく、また、接合リークの小さい高性能の半導体集積回路装置を提供することができる。

(8)本発明の半導体集積回路装置の製造方法は、素子形成領域の半導体基板上に、ゲート電極を形成し、前記ゲート電極端部下に第1熱酸化膜を形成した後、素子分離溝内に第2熱酸化膜を形成し、前記素子分離溝内に絶縁膜を埋め込む工程を有する。

このような手段によれば、第1熱酸化膜を形成する工程後に、素子分離溝内の第2熱酸化膜を形成することができるので、第1熱酸化膜の酸化の進行を抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。

(9)本発明の半導体集積回路装置は、(a)前記素子形成領域の半導体基板上に形成されたゲート絶縁膜と、(b)前記ゲート絶縁膜上に形成されたゲート電極と、(c)前記ゲート電極端部下に形成された第1酸化膜と、(d)前記ゲート電極の両側に形成された半導体領域と、(e)前記ゲート電極の側壁に形成されたサイドウォール膜と、を有するメモリセルと、(f)前記素子分離領域の半導体基板中に、前記サイドウォール膜をマスクとして形成された素子分離溝と、

(g) 前記素子分離溝内に形成され、前記第 1 酸化膜よりも膜厚が小さい第 2 酸化膜と、(h) 前記素子分離溝内に埋め込まれた絶縁膜と、を有する素子分離とを有する。

このような手段によれば、前記ゲート電極の側壁に形成されたサイドウォール膜をマスクとして素子分離溝が形成されているので、前記第 2 熱酸化膜の酸化の進行を抑えることができる。その結果、素子形成領域内の半導体基板の欠陥が少なく、また、接合リークの小さい高性能の半導体集積回路装置を提供することができる。

10 図面の簡単な説明

図 1 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

15 図 3 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

20 図 5 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 6 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 7 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

25 図 8 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 9 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 10 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示

す基板の要部断面図である。

図 1 1 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

5 図 1 2 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 1 3 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 1 4 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

10 図 1 5 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 1 6 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

15 図 1 7 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 1 8 は、本発明の効果を説明するための図である。

図 1 9 は、本発明の効果を説明するための図である。

図 2 0 は、本発明の効果を説明するための図である。

20 図 2 1 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 2 は、本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 3 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

25 図 2 4 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 5 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 6 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示

す基板の要部断面図である。

図 2 7 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

5 図 2 8 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 2 9 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 0 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

10 図 3 1 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 2 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

15 図 3 3 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 4 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 5 は、本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

20 図 3 6 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 7 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

25 図 3 8 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 3 9 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 0 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 1 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 2 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

5 図 4 3 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 4 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

10 図 4 5 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 6 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 7 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

15 図 4 8 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図 4 9 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部平面図である。

20 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

(実施の形態 1)

25 本発明の実施の形態 1 である不揮発性メモリの製造方法を図 1 ～図 1 7 を用いて工程順に説明する。なお、基板の断面を示す各図の左側および中央部分はメモリセルが形成される領域を示し、右側部分は周辺回路形成領域を示している。また、各図の左側および中央部分は、図 1 7 に示す平面図の A-A および B-B 断面部にそれぞれ対応している。

まず、図1に示すように、例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1を熱酸化することにより半導体基板1の表面にパッド酸化膜2を形成する。次いで、パッド酸化膜2上に、窒化シリコン膜3を堆積し、素子分離領域上の窒化シリコン膜3を除去する。

- 5 次いで、図2に示すように、窒化シリコン膜3をマスクとして、半導体基板1をドライエッチングすることにより深さ 350nm 程度の素子分離溝4を形成する。

その後、図3に示すように、半導体基板1を約 1000°C で熱酸化することによって、溝の内壁に膜厚 10nm 程度の薄い酸化シリコン膜（熱酸化膜）5を形成する。この酸化シリコン膜5は、素子分離溝4形成時に、溝の内壁（半導体基板表面）に生じたドライエッチングのダメージを回復するために形成する。

- 10 次に、図4に示すように、半導体基板1に、 $5\% \text{NO}$ （一酸化窒素）下で、 950°C 、 30 秒の熱処理を施す。この NO 処理の結果、熱酸化膜5の表面に、窒素が取りこまれ、熱酸化膜5の表面に酸窒化膜5aが形成される。この酸窒化膜5aは、追って詳細に説明するように、熱酸化膜5の更なる酸化を抑制し、溝内部の応力の増加を防止するために形成する。

- 次に、図5に示すように、素子分離溝4の内部を含む半導体基板1上にCVD（Chemical Vapor deposition）法で膜厚 $450 \sim 500 \text{nm}$ 程度の酸化シリコン膜6を堆積し、酸素含有量が 1% 以下の窒素雰囲気下で、熱処理を施し、酸化シリコン膜5の緻密化を図る。次いで、化学的機械研磨（CMP；Chemical Mechanical Polishing）法で溝の上部の酸化シリコン膜6を研磨し、その表面を平坦化する。

- 25 次いで、図6に示すように、窒化シリコン膜3を除去する。なお、この際、窒化シリコン膜3の膜厚分だけ酸化シリコン膜6の表面が半導体基板1の表面から突出しているが、以降の半導体基板1の洗浄工程や、表面酸化および酸化膜除去工程により酸化シリコン膜6の表面は、徐々に後退する。

以上の工程により、素子分離溝4内に、酸化シリコン膜6が埋め込まれた素子分離が形成される。素子分離溝4の内壁には、薄い酸化シリコン膜5および酸窒化膜5aが形成されている。

次に、半導体基板1の表面をウェット洗浄した後、半導体基板1を熱酸化する

ことにより半導体基板 1 の表面にスルー酸化膜 7 を形成する。次いで、半導体基板 1 に p 型不純物（ホウ素）および n 型不純物（例えばリン）をイオン打ち込みした後、酸素含有量が 1 % 以下の窒素雰囲気下で、約 1 0 0 0 °C の熱処理を施し、前記不純物を拡散させることによって、メモリセル形成領域に p 型ウエル 8 を形成し、周辺回路形成領域の半導体基板 1 に p 型ウエル 8 および n 型ウエル（図示せず）を形成する。

次に、図 7 に示すように、約 8 0 0 °C の熱酸化で p 型ウエル 8 および n 型ウエル（図示せず）のそれぞれの表面に膜厚 8 nm 程度の熱酸化膜を形成した後（プレ酸化）、この熱酸化膜を除去し、半導体基板 1（p 型ウエル 8 および n 型ウエル（図示せず））の表面を清浄化する。次いで、熱処理を施し、膜厚 9 nm 程度の熱酸化膜 9 を形成する。この熱酸化膜 9 は、不揮発性メモリセルのゲート酸化膜 9 を構成する。

次に、ゲート酸化膜 9 の上部に、膜厚 1 0 0 nm 程度の多結晶シリコン膜 1 0 を CVD 法で堆積する。続いて、その上部に CVD 法で膜厚 1 7 0 nm 程度の窒化シリコン膜 1 1 を堆積する。次に、フォトリソグラフ膜（図示せず）をマスクにして窒化シリコン膜 1 1 をドライエッチングすることにより、ゲート電極を形成する領域に窒化シリコン膜 1 1 を残す。

次に、窒化シリコン膜 1 1 をマスクにして多結晶シリコン膜 1 0 をドライエッチングすることにより、メモリセル形成領域に、ゲート電極 FG を形成する。

次に、メモリセル形成領域のゲート電極 FG の両側の p 型ウエル 8（半導体基板 1）に n 型不純物（ヒ素）を注入し、酸素含有量が 1 % 以下の窒素雰囲気下で熱処理を施し、前記不純物を拡散させることによって、n 型半導体領域 1 3 を形成する。

次に、図 8（a）に示すように、ライト酸化により多結晶シリコン膜 1 0 の側壁および半導体基板 1 の表面にライト酸化膜 1 2 を形成する。このライト酸化膜 1 2 は、シリコン基板の表面にその膜厚が 8 ~ 1 2 nm 程度の酸化シリコン膜が形成される条件と同様の条件で形成される。但し、この酸化は、n 型半導体領域 1 3 上では、早く進行するため、n 型半導体領域 1 3 上では約 2. 5 倍の膜厚の酸化シリコン膜が形成される。また、このライト酸化膜は、ゲート電極 FG の両

側のみならず、ゲート電極F Gの端部にも食い込むように形成される。その結果、ゲート電極F Gの底面の端部が丸みを帯び、ゲート電極F G端部の電界集中を緩和することができる。従って、メモリセルのリテンションタイムを向上させることができ、また、書き込み・消去特性を良くすることができる。さらに、ライト酸化によりゲート電極F Gの端部下の酸化膜の膜質を向上させることができる。特に、前述のn⁻型半導体領域1 3形成時にn型不純物がゲート酸化膜9の端部に侵入し、ゲート酸化膜の膜質を劣化させるが、ゲート酸化膜9の端部にライト酸化膜1 2を形成することにより、かかる部分の酸化膜の膜質を向上させることができる。図8 (b) は、図8 (a) のゲート電極F G部の拡大図である。

次いで、図9に示すように、半導体基板1上にCVD法で膜厚40nm程度の窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極F G (ライト酸化膜1 2) の側壁にサイドウォールスペーサ1 6を形成する。

次に、メモリセル形成領域のp型ウエル8にn型不純物 (リンまたはヒ素) をイオン打ち込みし、酸素含有量が1%以下の窒素雰囲気下で熱処理を施し、前記不純物を拡散させることによって、n⁺型半導体領域1 7 (ソース、ドレイン) を形成する。

続いて、半導体基板1の上部にCVD法で酸化シリコン膜1 9を堆積した後、酸化シリコン膜1 9を、窒化シリコン膜1 1の表面が露出するまでCMP法で研磨もしくはエッチバックしてその表面を平坦化する。

次いで、図10に示すように、熱リン酸により窒化シリコン膜1 1を除去し、ゲート電極F Gの表面を露出させる。次いで、窒化シリコン膜1 1の膜厚分だけゲート電極F Gの表面から突出した酸化シリコン膜1 9およびサイドウォールスペーサ1 6の表面をエッチングして、その表面を平坦化する。

次にゲート電極F Gの上部に、リンがドーパされた多結晶シリコン膜2 0をCVD法で堆積し、次いで、フォトレジスト膜 (図示せず) をマスクにして多結晶シリコン膜2 0をドライエッチングすることにより、ゲート電極F G上にゲート電極F Lを形成する。これらのゲート電極F GおよびF Lは、電氣的に接続されており、これら2層で、浮遊ゲートが構成される。

次いで、図11に示すように、半導体基板1上に、浮遊ゲート (F G、F L)

と、後述する制御ゲート電極CGとを分離するためのONO膜21（層間絶縁膜）を形成する。このONO膜21は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜である。このONO膜21は、例えば、CVD法により膜厚4nm程度の酸化シリコン膜、膜厚6nm程度の窒化シリコン膜および膜厚4nm程度の酸化シリコン膜を順次堆積することにより形成する。

次いで、図12に示すように、周辺回路領域（図中の左部）に残存している、ONO膜21、多結晶シリコン膜20、10およびゲート酸化膜9を除去する。次いで、周辺回路領域の半導体基板1（p型ウェル8およびn型ウェル（図示せず））の表面をウェット洗浄した後、約800℃の熱酸化で、周辺回路領域の半導体基板1のp型のウェル8およびn型ウェル（図示せず）のそれぞれの表面に膜厚25nm程度のゲート酸化膜GOを形成する。このゲート酸化膜GOは、周辺回路領域に形成される高耐圧MISFETのゲート酸化膜となる。

次いで、図13に示すように、半導体基板1上にリンがドーパされた多結晶シリコン膜22をCVD法で堆積する。続いて、その上部に高融点金属のシリサイド膜、例えば、タングステンシリサイド（ WSi_2 ）膜23を堆積し、さらにその上部にCVD法で窒化シリコン膜24を堆積する。この多結晶シリコン膜22と WSi_2 膜23の積層膜は、周辺回路領域に形成される高耐圧MISFETのゲート電極Gとなり、また、メモリセル形成領域に形成される不揮発性メモリセルの制御ゲート電極CGとなる。

次に、図14に示すように、フォトリソ膜（図示せず）をマスクにして窒化シリコン膜24、多結晶シリコン膜22および WSi_2 膜23をドライエッチングすることにより、周辺回路領域に高耐圧MISFET用のゲート電極Gを形成する。また、メモリセル形成領域のフォトリソ膜（図示せず）をマスクにして窒化シリコン膜24、制御ゲート電極（多結晶シリコン膜22、 WSi_2 膜23）、ONO膜21および浮遊ゲート（多結晶シリコン膜10、20）をドライエッチングする。なお、メモリセル形成領域に形成された制御ゲート電極CGは、ワード線WLとして機能する。

次に、図15に示すように、周辺回路領域のゲート電極Gの両側のp型ウェル8（半導体基板1）にn型不純物（リン）を注入することによってn型半導体領

域 2 5 を形成する。次いで、ライト酸化により多結晶シリコン膜 1 0、2 0 および 2 2 および WSi_2 膜 2 3 の側壁にライト酸化膜 2 6 を形成する。このライト酸化膜 2 6 の膜厚は、シリコン基板の表面にその膜厚が 6 nm 程度の酸化シリコン膜が形成される条件と同様の条件で形成される。但し、このライト酸化膜 2 6 は、前述のライト酸化膜 1 2 と異なり n 型半導体領域上には形成されないため、ライト酸化膜 1 2 のように、厚く形成されない。が、ゲート電極 FG 端部の電界集中を緩和し、また、かかる部分の酸化膜の膜質を向上させるために形成する。なお、周辺回路領域のゲート電極 G (多結晶シリコン膜 2 2 および WSi_2 膜 2 3) の側壁にもライト酸化膜 2 6 が形成される。

- 10 次いで、図 1 6 に示すように、半導体基板 1 上に CVD 法で窒化シリコン膜 2 8 を堆積した後、異方的にエッチングすることによって、周辺回路領域のゲート電極 G (2 3、2 2) の側壁にサイドウォールスペーサ 2 8 s を形成する。この際、メモリセル形成領域の窒化シリコン膜 2 4、制御ゲート電極 (多結晶シリコン膜 2 2、 WSi_2 膜 2 3)、ONO 膜 2 1 および浮遊ゲート (多結晶シリコン膜 1 0、2 0) の側壁にもサイドウォールスペーサ 2 8 s が形成される。

- 15 次に、周辺回路領域の p 型ウエル 8 に n 型不純物 (リンまたはヒ素) をイオン打ち込みし、酸素含有量が 1 % 以下の窒素雰囲気下で熱処理を施し、前記不純物を拡散させることによって、高耐圧 MISFET 用の n⁺ 型半導体領域 2 7 (ソース、ドレイン) を形成する。図 1 7 に、本実施の形態の不揮発性メモリセルの基板の要部平面図を示す。

以上の工程により、メモリセル形成領域に、制御ゲート電極 (多結晶シリコン膜 2 2、 WSi_2 膜 2 3)、ONO 膜 2 1 および浮遊ゲート (多結晶シリコン膜 1 0、2 0) を有する AND 型不揮発性メモリセルが形成され、周辺回路領域に高耐圧 MISFET が形成される。

- 25 次いで、窒化シリコン膜 2 4 およびサイドウォールスペーサ 2 8 s の上部に、酸化シリコン膜等からなる層間絶縁膜を形成し、さらに、この層間絶縁膜の上部に金属配線が形成されるが、これらの形成工程の図示および説明は省略する。

このように、本実施の形態においては、素子分離内の熱酸化膜 5 の表面に酸窒化膜 5 a を形成したので、溝内部の応力の増加を防止することができる。

例えば、熱酸化膜 5 の表面に酸窒化膜 5 a を形成しない場合について説明する。図 18 (a) は、熱酸化膜 5 上に直接酸化シリコン膜 6 を形成した場合の素子分離近傍の拡大図である。図 18 (a) に示すように、素子分離形成後の熱酸化膜 5 は、10 nm 程度であるが、その後のライト酸化膜 12、26 の形成工程や、高耐圧 MISFET のゲート酸化膜 GO 等の酸化工程により、熱酸化膜 5 の膜厚が徐々に増大する (図 18 (b))。その結果、溝内部の応力が大きくなり、素子形成領域内の半導体基板を構成する原子の格子内に転位が発生し、欠陥が生じる。このような欠陥は、接合リークやメモリセルのゲート絶縁膜の膜質劣化の原因となる。図 19 は、加工寸法と応力との関係を示す図である。ここで、加工寸法とは、メモリセル形成領域の素子分離領域と素子形成領域の幅 (μm) を示す。また、図中 (a)、(b) および (c) は、それぞれ溝内酸化量が、30 nm、20 nm および 10 nm の場合を示す。この溝内酸化量とは、メモリセル形成後の素子分離内の熱酸化膜 5 の膜厚をいう。グラフ (a) に示すように、溝内酸化量が一定の場合であっても、加工寸法が小さくなるにつれ応力が大きくなる。この傾向は、グラフ (b) および (c) の場合も同様である。また、溝内酸化量が大きくなるにつれ応力が大きくなっている。ここで、基板のリーク電流を抑えるための応力の目標値を 400 MPa とすると、加工寸法 0.25 μm の場合、溝内酸化量は、30 nm 以下でなければならない。

これに対し、図 20 (a) に示すように、本実施の形態においては、素子分離内の熱酸化膜 5 の表面に酸窒化膜 5 a を形成したので、例えば、ライト酸化膜 12、26 もしくは高耐圧 MISFET のゲート酸化膜 GO の形成時における熱酸化膜 5 の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、リテンションタイムを向上させることができる。図 20 (a) は、図 6 に示した素子分離近傍の拡大図である。また、図 20 (b) は、メモリセル形成後 (例えば図 16) の素子分離近傍の拡大図である。図 20 (b) に示すように、本実施の形態によれば、素子分離領域の幅が、0.25 μm 程度であっても、溝内酸化量を 30 nm 以下とすることができ、溝内部の応力を抑え、リーク電流を低減させることができる。また、図 20 (b) に示すように、熱酸化膜 5 は、ライト酸化膜厚 12 より薄い。

また、本実施の形態においては、p型ウエル8、n型ウエル、n⁺型半導体領域13およびn⁺型半導体領域17（ソース、ドレイン）形成時の不純物を拡散（熱処理）を酸素含有量が1%以下の窒素雰囲気下で行ったので、熱酸化膜5の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、メモリセルのゲート絶縁膜の品質を向上させることができる。

ここで、本実施の形態においては、膜厚10nm程度の薄い酸化シリコン膜5に、5%NO（一酸化窒素）下で、950℃、30秒の熱処理を施すことにより熱酸化膜5の表面に窒化膜5aを形成した（図4）が、図21に示すように、膜厚10nm程度の薄い酸化シリコン膜5の上部に、窒化シリコン膜5cを形成してもよい。この窒化シリコン膜5cは、熱酸化膜5上に、CVD法により7nm程度堆積する。以降の工程は、図5～図17を用いて説明した前述の工程と同様であるためその説明を省略する。このように、熱酸化膜5の表面に窒化シリコン膜5cを形成しても、ライト酸化膜12、26もしくは高耐圧MISFETのゲート酸化膜GOの形成時における熱酸化膜5の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、メモリセルのゲート絶縁膜の品質を向上させることができる。

また、本実施の形態においては、周辺回路領域に形成される高耐圧MISFETのゲート酸化膜GOを熱酸化により形成した（図12）が、図22に示すように、ゲート酸化膜GOを熱酸化膜21aとCVD膜21bとの堆積膜としてもよい。即ち、まず、周辺回路領域の半導体基板1のp型ウエル8およびn型ウエル（図示せず）のそれぞれの表面に膜厚5nm程度の熱酸化膜21aを形成する。次いで、この熱酸化膜21a上に、CVD法により20nm程度の酸化シリコン膜21bを堆積する。以降の工程は、図13～図17を用いて説明した前述の工程と同様であるためその説明を省略する。このように、ゲート酸化膜GOを熱酸化膜21aとCVD膜21bとの堆積膜とすれば、高耐圧MISFET用のゲート酸化膜形成時の熱処理による前記熱酸化膜5の酸化の進行を抑えることができ、素子分離溝内部の応力を抑えることができる。

また、本実施の形態においては、メモリセル形成領域にAND型の不揮発性メ

メモリセルを形成したが、素子分離領域を有する他の不揮発性メモリセル、例えば NOR 型の不揮発性メモリセルに本発明を適用してもよい。NOR 型の不揮発性メモリセルについては、実施の形態 3 で詳細に説明するが、NOR 型の不揮発性メモリセルは、ライト酸化膜形成工程が 1 回であるのに対し、AND 型の場合は、
5 ライト酸化膜形成工程が 2 回（ライト酸化膜 12、26）存在するため、AND 型の不揮発性メモリセルに本発明を適用した方が、より効果的である。

（実施の形態 2）

本発明の実施の形態 2 である不揮発性メモリの製造方法を図 23～図 35 を用いて工程順に説明する。なお、基板の断面を示す各図の左側および中央部分はメモリセルが形成される領域を示し、右側部分は周辺回路形成領域を示している。
10

まず、実施の形態 1 の場合と同様に、例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有する p 型の単結晶シリコンからなる半導体基板 1 を熱酸化することにより半導体基板 1 の表面にスルー酸化膜 7 を形成する。次いで、半導体基板 1 に p 型不純物（ホウ素）および n 型不純物（例えばリン）をイオン打ち込みした後、酸素含有
15 量が 1 % 以下の窒素雰囲気下で、約 1000°C の熱処理を施し、前記不純物を拡散させることによって、メモリセル形成領域に p 型ウエル 8 を形成し、周辺回路形成領域の半導体基板 1 に p 型ウエル 8 および n 型ウエル（図示せず）を形成する。

次に、図 24 に示すように、フッ酸系の洗浄液を用いて半導体基板 1（p 型ウエル 8 および n 型ウエル（図示せず））の表面をウェット洗浄した後、半導体基板 1 上に、約 800°C の熱酸化で、膜厚 25 nm 程度の熱酸化膜 GO を形成する。
20 この熱酸化膜 GO は周辺回路領域に形成される高耐圧要 MISFET のゲート酸化膜を構成する。

次いで、メモリセル形成領域上の熱酸化膜 GO を除去し、メモリセル形成領域
25 の表面をウェット洗浄した後、熱酸化により、メモリセル形成領域に、膜厚 9 nm 程度の熱酸化膜 9 を形成する。この熱酸化膜 9 はメモリセル形成領域に形成される不揮発性メモリセルのゲート酸化膜を構成する。

次に、熱酸化膜 GO、9（ゲート酸化膜）の上部に、膜厚 100 nm 程度の多結晶シリコン膜 10 を CVD 法で堆積する。続いて、その上部に CVD 法で膜厚 1

70 nm 程度の窒化シリコン膜 11 を堆積する。

次に、図 25 に示すように、フォトリソグレイド膜（図示せず）をマスクにして、窒化シリコン膜 11 および多結晶シリコン膜 10 をエッチングすることによりゲート電極 FG を形成する。ここで、ゲート電極間（窒化シリコン膜 11 および多結晶シリコン膜 10 を除去した領域）には、後述するように、ソース、ドレインと素子分離溝が形成される。

次に、メモリセル形成領域のゲート電極 FG の両側の p 型ウェル 8（半導体基板 1）に n 型不純物（ヒ素）を注入し、熱処理により前記不純物を拡散させることによって、n⁺型半導体領域 17（ソース、ドレイン）を形成する。

次に、図 26 に示すように、ライト酸化により多結晶シリコン膜 10 の側壁および半導体基板 1 の表面にライト酸化膜 12 を形成する。このライト酸化膜 12 は、シリコン基板の表面にその膜厚が 8 ～ 12 nm 程度の酸化シリコン膜が形成される条件と同様の条件で形成される。但し、この酸化は、不純物領域上では、早く進行するため、n⁺型半導体領域 17 上では約 2.5 倍の膜厚の酸化シリコン膜が形成される。また、このライト酸化膜 12 は、ゲート電極 FG の両側のみならず、ゲート電極 FG の端部にも食い込むように形成される。その結果、実施の形態 1 で説明したように、ゲート電極 FG 端部の電界集中を緩和することができ、メモリセルのリテンションタイムを向上させることができる。また、書き込み・消去特性を良くすることができ、ゲート電極 FG の端部下の酸化膜の膜質を向上させることができる。

次いで、半導体基板 1 上に CVD 法で膜厚 110 nm 程度の窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極 FG（ライト酸化膜 12）の側壁にサイドウォールスペーサ 16 を形成する。

次いで、図 27 に示すように、窒化シリコン膜 11 およびサイドウォールスペーサ 16 をマスクとして、半導体基板 1 をエッチングすることにより深さ 350 nm 程度の素子分離溝 4 を形成する。

その後、半導体基板 1 を約 1000℃で熱酸化することによって、溝の内壁に膜厚 10 nm 程度の薄い酸化シリコン膜 5 を形成する。この酸化シリコン膜 5 は、溝の内壁に生じたドライエッチングのダメージを回復するために形成する。

このように、本実施の形態によれば、ライト酸化膜 12 もしくは周辺回路領域に形成される高耐圧要 M I S F E T のゲート酸化膜（熱酸化膜 G O）を形成した後に、素子分離溝 4 および溝の内壁の膜厚 10 nm 程度の薄い酸化シリコン膜 5 を形成したので、これらの形成時における熱酸化膜 5 の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、メモリセルのゲート絶縁膜の品質を向上させることができる。

次に、図 28 に示すように、素子分離溝 4 の内部を含む半導体基板 1 上に C V D 法で膜厚 450 ~ 500 nm 程度の酸化シリコン膜 6 を堆積し、熱処理を施すことにより酸化シリコン膜 6 の緻密化を図る。次いで、化学的機械研磨法により窒化シリコン膜 11 の表面が露出するまで、酸化シリコン膜 6 を研磨し、その表面を平坦化する（図 29）。

続いて、図 30 に示すように、熱リン酸により窒化シリコン膜 11 を除去し、ゲート電極 F G の表面を露出させる。

次にゲート電極 F G の上部に、リンがドーピングされた多結晶シリコン膜 20 を C V D 法で堆積し、次いで、フォトリソグラフ膜（図示せず）をマスクにして多結晶シリコン膜 20 をドライエッチングすることにより、ゲート電極 F G 上にゲート電極 F L を形成する。これらのゲート電極 F G および F L は、電気的に接続されており、これら 2 層で、浮遊ゲートが構成される。

次いで、図 31 に示すように、半導体基板 1 上に、浮遊ゲート（F G、F L）と、後述する制御ゲート電極 C G とを分離するための O N O 膜 21（層間絶縁膜）を形成する。この O N O 膜 21 は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であり、例えば、実施の形態 1 で説明した方法により形成する。

次いで、図 32 に示すように、半導体基板 1 上にリンがドーピングされた多結晶シリコン膜 22 を C V D 法で堆積する。続いて、その上部に高融点金属のシリサイド膜、例えば、タングステンシリサイド（W S i₂）膜 23 を堆積し、さらにその上部に C V D 法で窒化シリコン膜 24 を堆積する。この多結晶シリコン膜 22 と W S i₂ 膜 23 の積層膜は、メモリセル形成領域に形成される不揮発性メモリセルの制御ゲート電極 C G となる。また、この多結晶シリコン膜 22 と W S i₂

膜23の積層膜は、周辺回路領域において多結晶シリコン膜20と接続され、この多結晶シリコン膜22、20、10と WSi_2 膜23の積層膜は、周辺回路領域に形成される高耐圧MISFETのゲート電極Gとなる。この接続孔は、例えば、ONO膜21形成後に、ONO膜21をエッチングすることにより形成される。

次いで、図33に示すように、フォトリジスト膜（図示せず）をマスクにして多結晶シリコン膜22、20、10と WSi_2 膜23の積層膜および窒化シリコン膜24をエッチングすることにより周辺回路領域の高耐圧MISFETのゲート電極Gを形成し、また、メモリセル形成領域の窒化シリコン膜24、制御ゲート電極（多結晶シリコン膜22、 WSi_2 膜23）、ONO膜21および浮遊ゲート（多結晶シリコン膜10、20）をドライエッチングする。なお、メモリセル形成領域に形成された制御ゲート電極CGは、ワード線WLとして機能する。

次に、図34に示すように、周辺回路領域のゲート電極Gの両側のp型ウエル8（半導体基板1）にn型不純物（リン）を注入することによってn型半導体領域25を形成する。次いで、ライト酸化により多結晶シリコン膜10、20、22および WSi_2 膜23の側壁にライト酸化膜26を形成する。このライト酸化膜26のは、シリコン基板の表面にその膜厚が6nm程度の酸化シリコン膜が形成される条件と同様の条件で形成される。但し、このライト酸化膜26は、実施の形態1のライト酸化膜12と異なりn型半導体領域上には形成されないため、厚く形成されない。が、ゲート電極FG端部の電界集中を緩和し、また、かかる部分の酸化膜の膜質を向上させるために形成する。なお、周辺回路領域のゲート電極G（多結晶シリコン膜22、10、20および WSi_2 膜23）の側壁にもライト酸化膜26が形成される。

次いで、図35に示すように、半導体基板1上にCVD法で窒化シリコン膜28を堆積した後、異方的にエッチングすることによって、周辺回路領域のゲート電極G（多結晶シリコン膜22、10、20および WSi_2 膜23）の側壁にサイドウォールスペーサ28sを形成する。この際、メモリセル形成領域の窒化シリコン膜24、制御ゲート電極（多結晶シリコン膜22、 WSi_2 膜23）、ONO膜21および浮遊ゲート（多結晶シリコン膜10、20）の側壁にもサイド

ウォールスペーサ 28 s が形成される。

次に、周辺回路領域の p 型ウエル 8 に n 型不純物（リンまたはヒ素）をイオン打ち込みし、熱処理を施すことにより、前記不純物を拡散させることによって、高耐圧 MISFET 用の n⁺型半導体領域 27（ソース、ドレイン）を形成する。

- 5 本実施の形態の不揮発性メモリセルの基板の要部平面図は、実施の形態 1 と類似であるためその図示を省略する。

- 10 以上の工程により、メモリセル形成領域に、制御ゲート電極（多結晶シリコン膜 22、WSi₂膜 23）、ONO 膜 21 および浮遊ゲート（多結晶シリコン膜 10、20）を有する AND 型不揮発性メモリセルが形成され、周辺回路領域に高耐圧 MISFET が形成される。

次いで、窒化シリコン膜 24 およびサイドウォールスペーサ 28 s の上部に、酸化シリコン膜等からなる層間絶縁膜を形成し、さらに、この層間絶縁膜の上部に金属配線が形成されるが、これらの形成工程の図示および説明は省略する。

- 15 このように、本実施の形態においては、ライト酸化膜 12 もしくは周辺回路領域に形成される高耐圧 MISFET のゲート酸化膜（熱酸化膜 GO）を形成した後に、素子分離溝 4 および溝の内壁の膜厚 10 nm 程度の薄い酸化シリコン膜 5 を形成したので、これらの形成時における熱酸化膜 5 の膜厚の増加を抑えることができる。その結果、素子形成領域内の欠陥を低減でき、リテンションタイムを向上させることができる。

- 20 なお、熱酸化膜 5 の形成後の酸化工程、例えば、ライト酸化膜 26 の形成時の熱酸化膜 5 の膜厚の増加を抑えるため、実施の形態 1 の場合と同様に、素子分離内の熱酸化膜 5 の表面に酸窒化膜 5 a 等を形成してもよい。

- 25 また、熱酸化膜 5 の形成後の不純物の拡散（熱処理）、例えば、n⁻型半導体領域 25 および n⁺型半導体領域 27（ソース、ドレイン）形成時の熱酸化膜 5 の膜厚の増加を抑えるため、不純物の拡散（熱処理）を酸素含有量が 1 % 以下の窒素雰囲気下で行ってもよい。

（実施の形態 3）

実施の形態 1 においては、メモリセル形成領域に AND 型の不揮発性メモリセルを形成したが、素子分離領域を有する他の不揮発性メモリセル、例えば NOR

型の不揮発性メモリセルに本発明を適用してもよい。

本発明の実施の形態3である不揮発性メモリの製造方法を図36～図49を用いて工程順に説明する。なお、基板の断面を示す各図の左側および中央部分はメモリセルが形成される領域を示し、右側部分は周辺回路形成領域を示している。

- 5 また、各図の左側および中央部分は、図49に示す平面図のA-AおよびB-B断面部にそれぞれ対応している。

まず、図36に示すように、例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1を熱酸化することにより半導体基板1の表面にパッド酸化膜2を形成する。次いで、パッド酸化膜2上に、窒化シリコン膜3を堆積し、素子分離領域上の窒化シリコン膜3を除去する。

次いで、図37に示すように、窒化シリコン膜3をマスクとして、半導体基板1をエッチングすることにより深さ 350nm 程度の素子分離溝4を形成する。

その後、図38に示すように、半導体基板1を約 1000°C で熱酸化することによって、溝の内壁に膜厚 10nm 程度の薄い酸化シリコン膜5を形成する。この酸化シリコン膜5は、溝の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で溝の内部に埋め込まれる酸化シリコン膜6と半導体基板1との界面に生じるストレスを緩和するために形成する。

次に、図39に示すように、半導体基板1に、 $5\% \text{NO}$ （一酸化窒素）下で、 950°C 、 30 秒の熱処理を施す。この NO 処理の結果、熱酸化膜5の表面に、窒素が取りこまれ、熱酸化膜5の表面に酸窒化膜5aが形成される。この酸窒化膜5aは、実施の形態1と同様に、溝内部の応力の増加を防止するために形成する。

次に、図40に示すように、素子分離溝4の内部を含む半導体基板1上にCVD法で膜厚 $450 \sim 500 \text{nm}$ 程度の酸化シリコン膜6を堆積し、酸素含有量が 1% 以下の窒素雰囲気下で、熱処理を施し、酸化シリコン膜5の緻密化を図る。次いで、化学的機械研磨法で溝の上部の酸化シリコン膜6を研磨し、その表面を平坦化する。

次いで、図41に示すように、窒化シリコン膜3を除去する。なお、この際、窒化シリコン膜3の膜厚分だけ酸化シリコン膜6の表面が半導体基板1の表面か

ら突出しているが、以降の半導体基板 1 の洗浄工程や、表面酸化および酸化膜除去工程により酸化シリコン膜 6 の表面は、徐々に後退する。

以上の工程により、素子分離溝 4 内に、酸化シリコン膜 6 が埋め込まれた素子分離が形成される。素子分離溝 4 の内壁には、薄い酸化シリコン膜 5 および酸化膜 5 a が形成されている。

次に、図 4 1 に示すように、半導体基板 1 の表面をウェット洗浄した後、半導体基板 1 を熱酸化することにより半導体基板 1 の表面にスルー酸化膜 7 を形成する。次いで、半導体基板 1 に p 型不純物（ホウ素）および n 型不純物（例えばリン）をイオン打ち込みした後、酸素含有量が 1 % 以下の窒素雰囲気下で、約 1 0 0 0 °C の熱処理を施し、前記不純物を拡散させることによって、メモリセル形成領域に p 型ウエル 8 を形成し、周辺回路形成領域の半導体基板 1 に p 型ウエル 8 および n 型ウエル（図示せず）を形成する。

次に、図 4 2 に示すように、約 8 0 0 °C の熱酸化で p 型ウエル 8 および n 型ウエル（図示せず）のそれぞれの表面に膜厚 8 nm 程度の熱酸化膜を形成した後（プレ酸化）、この熱酸化膜を除去し、半導体基板 1（p 型ウエル 8 および n 型ウエル（図示せず））の表面を清浄化する。次いで、熱処理を施し、膜厚 9 nm 程度の熱酸化膜 9 を形成する。この熱酸化膜 9 は、不揮発性メモリセルのゲート酸化膜 9 を構成する。

次に、ゲート酸化膜 9 の上部に、膜厚 1 0 0 nm 程度のリンをドーブした多結晶シリコン膜 1 0 を CVD 法で堆積する。次に、フォトリソ膜（図示せず）をマスクにして多結晶シリコン膜 1 0 をドライエッチングすることにより、メモリセル形成領域に、ゲート電極（浮遊ゲート）FG を形成する。

次いで、図 4 3 に示すように、半導体基板 1 上に、浮遊ゲート（FG）と、後述する制御ゲート電極 CG とを分離するための ONO 膜 2 1（層間絶縁膜）を形成する。この ONO 膜 2 1 は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であり、例えば、実施の形態 1 で説明した方法により形成する。

次いで、図 4 4 に示すように、周辺回路領域（図中の左部）に残存している、ONO 膜 2 1、多結晶シリコン膜 1 0 およびゲート酸化膜 9 を除去する。次いで、周辺回路領域の半導体基板 1（p 型ウエル 8 および n 型ウエル（図示せず））の

表面をウェット洗浄した後、約800℃の熱酸化で、周辺回路領域の半導体基板1のp型ウエル8およびn型ウエル（図示せず）のそれぞれの表面に膜厚20nm程度のゲート酸化膜GOを形成する。このゲート酸化膜GOは、周辺回路領域に形成される高耐圧MISFETのゲート酸化膜となる。

5 次いで、図45に示すように、半導体基板1上にリンがドーパされた多結晶シリコン膜22をCVD法で堆積する。続いて、その上部にCVD法で窒化シリコン膜24を堆積する。この多結晶シリコン膜22は、周辺回路領域に形成される高耐圧MISFETのゲート電極Gとなり、また、メモリセル形成領域に形成される不揮発性メモリセルの制御ゲート電極CGとなる。

10 次に、図46に示すように、フォトリジスト膜（図示せず）をマスクにして窒化シリコン膜24および多結晶シリコン膜22をドライエッチングすることにより、周辺回路領域に高耐圧MISFET用のゲート電極Gを形成する。また、メモリセル形成領域のフォトリジスト膜（図示せず）をマスクにして窒化シリコン膜24、制御ゲート電極（多結晶シリコン膜22）、ONO膜21および浮遊ゲート（多結晶シリコン膜10）をドライエッチングする。なお、メモリセル形成領域に形成された制御ゲート電極CGは、ワード線WLとして機能する。

15

次に、メモリセル形成領域のp型ウエル8にn型不純物（リンまたはヒ素）をイオン打ち込みし、酸素含有量が1%以下の窒素雰囲気下で熱処理を施し、前記不純物を拡散させることによって、n⁺型半導体領域17（ソース、ドレイン）を形成する。

20

次に、図47に示すように、周辺回路領域のゲート電極Gの両側のp型ウエル8（半導体基板1）にn型不純物（リン）を注入することによってn⁺型半導体領域25を形成する。

次いで、ライト酸化により多結晶シリコン膜10および22の側壁および半導体基板1の表面にライト酸化膜26を形成する。このライト酸化膜26は、シリコン基板の表面にその膜厚が10nm程度の酸化シリコン膜が形成される条件と同様の条件で形成される。但し、この酸化は、不純物領域上では、早く進行するため、n⁺型半導体領域17上では約2.5倍の膜厚の酸化シリコン膜が形成される。また、このライト酸化膜は、ゲート電極FGの両側のみならず、ゲート

25

電極FGの端部にも食い込むように形成される。その結果、ゲート電極FGの底面の端部が丸みを帯び、ゲート電極FG端部の電界集中を緩和することができる。従って、メモリセルのリテンションタイムを向上させることができ、また、書き込み・消去特性を良くすることができる。さらに、ライト酸化によりゲート電極FGの端部下の酸化膜の膜質を向上させることができる。特に、前述の n^+ 型半導体領域17形成時に n 型不純物がゲート酸化膜9の端部に侵入し、ゲート酸化膜の膜質を劣化させるが、ゲート酸化膜9の端部にライト酸化膜26を形成することにより、かかる部分の酸化膜の膜質を向上させることができる。なお、周辺回路領域のゲート電極G（多結晶シリコン膜22）の側壁にもライト酸化膜26が形成される。

次いで、図48に示すように、半導体基板1上にCVD法で窒化シリコン膜28を堆積した後、異方的にエッチングすることによって、周辺回路領域のゲート電極G（23、22）の側壁にサイドウォールスペーサ28sを形成する。この際、メモリセル形成領域の窒化シリコン膜24、制御ゲート電極（多結晶シリコン膜22、 WSi_2 膜23）、ONO膜21および浮遊ゲート（多結晶シリコン膜10、20）の側壁にもサイドウォールスペーサ28sが形成される。

次に、周辺回路領域の p 型ウエル8に n 型不純物（リンまたはヒ素）をイオン打ち込みし、酸素含有量が1%以下の窒素雰囲気下で熱処理を施し、前記不純物を拡散させることによって、高耐圧MISFET用の n^+ 型半導体領域27（ソース、ドレイン）を形成する。図49に、本実施の形態の不揮発性メモリセルの基板の要部平面図を示す。なお、図示しない n 型ウエル上に、同様の工程により高耐圧 p チャネル型MISFETを形成してもよい。この場合、半導体領域25および27と、逆導電型の不純物をイオン打ち込みする。

以上の工程により、メモリセル形成領域に、制御ゲート電極（多結晶シリコン膜22）、ONO膜21および浮遊ゲート（多結晶シリコン膜10）を有するNOR型不揮発性メモリセルが形成され、周辺回路領域に高耐圧MISFETが形成される。

次いで、窒化シリコン膜24およびサイドウォールスペーサ28sの上部に、酸化シリコン膜等からなる層間絶縁膜を形成し、 n^+ 型半導体領域17上にプラ

グが形成され、さらに、この層間絶縁膜の上部に金属配線が形成されるが、これらの形成工程の図示および説明は省略する。

5 このように、本実施の形態においては、素子分離内の熱酸化膜 5 の表面に酸窒化膜 5 a を形成したので、実施の形態 1 の場合と同様に、溝内部の応力の増加を防止することができる。

10 即ち、本実施の形態においては、素子分離内の熱酸化膜 5 の表面に酸窒化膜 5 a を形成したので、例えば、ライト酸化膜 2 6 もしくは高耐圧 M I S F E T のゲート酸化膜 G O の形成時における熱酸化膜 5 の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、メモリゲート膜質の品質を向上させることができる。

15 また、本実施の形態においては、p 型ウエル 8、n 型ウエル、n⁺型半導体領域 1 7（ソース、ドレイン）形成時の不純物を拡散（熱処理）を酸素含有量が 1 % 以下の窒素雰囲気下で行ったので、熱酸化膜 5 の膜厚の増加を抑えることができ、溝内部の応力の増加を防止することができる。その結果、素子形成領域内の欠陥を低減でき、メモリセルのゲート絶縁膜の品質を向上させることができる。

20 ここで、本実施の形態においては、膜厚 1 0 nm 程度の薄い酸化シリコン膜 5 に、5 % N O（一酸化窒素）下で、9 5 0℃、3 0 秒の熱処理を施すことにより熱酸化膜 5 の表面に酸窒化膜 5 a を形成した（図 3 9）が、実施の形態 1 で説明した図 2 1 に示すように、膜厚 1 0 nm 程度の薄い酸化シリコン膜 5 の上部に、窒化シリコン膜 5 c を形成してもよい。

また、本実施の形態においては、周辺回路領域に形成される高耐圧 M I S F E T のゲート酸化膜 G O を熱酸化により形成した（図 4 4）が、実施の形態 1 で説明した図 2 2 に示すように、ゲート酸化膜 G O を熱酸化膜 2 1 a と C V D 膜 2 1 b との堆積膜としてもよい。

25 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以下に、本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明する。

素子分離溝内に熱酸化膜を形成した後、その表面に酸窒化膜を形成した後、素子分離溝内に絶縁膜を埋め込んだので、以降の工程に、例えば、ライト酸化膜を形成する工程等や高耐圧M I S F E Tのゲート酸化膜を形成する工程等の酸化工程を有していても、熱酸化膜の酸化の進行を、酸窒化膜により抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。また、製品の歩留まり向上や信頼性の向上を図ることができる。

また、素子分離溝内に熱酸化膜を形成し、その上に窒化膜を形成した後、素子分離溝内に絶縁膜を埋め込んだので、以降の工程に、例えば、ライト酸化膜を形成する工程や高耐圧M I S F E Tのゲート酸化膜を形成する工程等の酸化工程を有していても、熱酸化膜の酸化の進行を、窒化膜により抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。また、製品の歩留まり向上や信頼性の向上を図ることができる。

また、素子分離溝内に熱酸化膜を形成し、素子分離溝内に絶縁膜を埋め込んだ後のアニール工程を、酸素含量が1%以下である不活性雰囲気中で行ったので、アニール工程による熱酸化膜の酸化の進行を抑えることができる。その結果、素子分離溝内部の応力を抑えることができ、素子形成領域内の半導体基板の欠陥を低減させ、また、接合リークの低減を図ることができる。また、製品の歩留まり向上や信頼性の向上を図ることができる。

産業上の利用可能性

以上のように、本発明は、携帯電話をはじめとする移動体通信機器、メモリカードおよびICカードなどに搭載する半導体集積回路装置に適用して特に有効な技術である。

請 求 の 範 囲

1. 半導体基板上に素子形成領域と素子分離領域とを有し、前記素子形成領域上にメモリセルを有する半導体集積回路装置の製造方法であって、
- 5 (a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、
(b) 前記素子分離溝内に第1熱酸化膜を形成する工程と、
(c) 前記第1熱酸化膜を窒化処理することにより前記第1熱酸化膜の表面に酸窒化膜を形成する工程と、
(d) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、
- 10 (e) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、
(f) 前記ゲート絶縁膜上にゲート電極を形成する工程と、
(g) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、
- 15 (h) 前記半導体基板を熱処理することにより、前記ゲート電極端部下に前記ゲート絶縁膜よりも膜厚が大である第2熱酸化膜を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。
2. 前記メモリセルは、不揮発性メモリセルであり、
前記半導体集積回路装置の製造方法は、さらに、
- 20 (i) 前記ゲート電極上に、層間絶縁膜を形成する工程と、
(j) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、
を有することを特徴とする請求の範囲第1項記載の半導体集積回路装置の製造方法。
- 25 3. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、30nm以下であることを特徴とする請求の範囲第1項記載の半導体集積回路装置の製造方法。
4. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、前記第2熱酸化膜の膜厚より小さいことを特徴とする請求の範囲第1項記載の半導体集積回路装置の製造方法。

5. 半導体基板上に素子形成領域と素子分離領域とを有し、前記素子形成領域上にメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(b) 前記素子分離溝内に第1熱酸化膜を形成する工程と、

5 (c) 前記第1熱酸化膜上に窒化膜を堆積する工程と、

(d) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、

(e) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、

(f) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

10 (g) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、

(h) 前記半導体基板を熱処理することにより、前記ゲート電極端部下に前記ゲート絶縁膜よりも膜厚が大である第2熱酸化膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

15 6. 前記メモリセルは、不揮発性メモリセルであり、

前記半導体集積回路装置の製造方法は、さらに、

(i) 前記ゲート電極上に、層間絶縁膜を形成する工程と、

(j) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、

20 を有することを特徴とする請求の範囲第5項記載の半導体集積回路装置の製造方法。

7. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、30nm以下であることを特徴とする請求の範囲第5項記載の半導体集積回路装置の製造方法。

25 8. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、前記第2熱酸化膜の膜厚より小さいことを特徴とする請求の範囲第5項記載の半導体集積回路装置の製造方法。

9. 半導体基板上に素子形成領域と素子分離領域とを有し、前記素子形成領域上にメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

- (b) 前記素子分離溝内に熱酸化膜を形成する工程と、
 - (c) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、
 - (d) 前記素子形成領域の半導体基板上にメモリセルを形成する工程と、
- 5 を有し、
- (e) 前記素子分離溝内に絶縁膜を埋め込む工程以降に、酸素含量が1%以下である不活性雰囲気中でのアニール工程を有することを特徴とする半導体集積回路装置の製造方法。
- 10 10. 前記メモリセルは、不揮発性メモリセルであり、
- 10 前記半導体集積回路装置の製造方法は、さらに、
- (f) 前記ゲート電極上に、層間絶縁膜を形成する工程と、
 - (g) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、
- 15 を有することを特徴とする請求の範囲第9項記載の半導体集積回路装置の製造方法。
- 15 11. メモリセルが形成されるメモリセル形成領域と高耐圧MISFETが形成される周辺回路領域を有し、メモリセル形成領域は、素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、
- (a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、
- 20 (b) 前記素子分離溝内に熱酸化膜を形成する工程と、
- (c) 前記熱酸化膜を窒化処理することにより前記第1熱酸化膜の表面に酸窒化膜を形成する工程と、
 - (d) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、
- 25 (e) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、
- (f) 前記ゲート絶縁膜上にゲート電極を形成する工程と、
 - (g) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、
 - (h) 前記半導体基板を熱処理することにより、前記ゲート電極端部下に前記ゲ

ート絶縁膜よりも膜厚が大である第2熱酸化膜を形成する工程と、

(i) 前記周辺回路領域の半導体基板表面に熱処理を施すことにより、高耐圧MISFET用のゲート酸化膜を形成する工程と、

5 (j) 前記高耐圧MISFET用ゲート絶縁膜上に、高耐圧MISFET用のゲート電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

1 2. 前記メモリセルは、不揮発性メモリセルであり、

前記半導体集積回路装置の製造方法は、さらに、

(k) 前記ゲート電極上に、層間絶縁膜を形成する工程と、

10 (l) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、
を有し、

前記制御電極と高耐圧MISFET用のゲート電極とを同一の導電層で形成することを特徴とする請求の範囲第11項記載の半導体集積回路装置の製造方法。

15 1 3. メモリセルが形成されるメモリセル形成領域と高耐圧MISFETが形成される周辺回路領域を有し、メモリセル形成領域は、素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、

(a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(b) 前記素子分離溝内に第1熱酸化膜を形成する工程と、

20 (c) 前記第1熱酸化膜を窒化処理することにより前記第1熱酸化膜の表面に酸窒化膜を形成する工程と、

(d) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、

(e) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、

25 (f) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(g) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、

(h) 前記半導体基板を熱処理することにより、前記ゲート電極端部下に前記ゲート絶縁膜よりも膜厚が大である第2熱酸化膜を形成する工程と、

(i) 前記周辺回路領域の半導体基板表面に熱処理を施し、第1の酸化膜を形成した後、前記第1の酸化膜上に第2の酸化膜を堆積し、第1および第2の酸化膜からなる高耐圧MISFET用のゲート酸化膜を形成する工程と、

5 (j) 前記高耐圧MISFET用ゲート酸化膜上に、高耐圧MISFET用のゲート電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

1 4. 前記メモリセルは、不揮発性メモリセルであり、
前記半導体集積回路装置の製造方法は、さらに、

(k) 前記ゲート電極上に、層間絶縁膜を形成する工程と、

10 (l) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、
を有し、

前記制御電極と高耐圧MISFET用のゲート電極とを同一の導電層で形成することを特徴とする請求の範囲第13項記載の半導体集積回路装置の製造方法。

15 1 5. 半導体基板の素子分離領域に形成された素子分離と、前記半導体基板の素子形成領域に形成されたメモリセルを有する半導体集積回路装置であって、
前記素子分離は、

(a) 前記素子分離領域の半導体基板中に形成された素子分離溝と、

(b) 前記素子分離溝内に形成された第1熱酸化膜と、

20 (c) 前記第1熱酸化膜上に形成された窒化膜と、

(d) 前記素子分離溝内に埋め込まれた絶縁膜と、を有し、

前記メモリセルは、

(e) 前記素子形成領域の半導体基板上に形成されたゲート絶縁膜と、

(f) 前記ゲート絶縁膜上に形成されたゲート電極と、

25 (g) 前記ゲート電極端部下に形成された第2熱酸化膜と、

(h) 前記ゲート電極の両側に形成された半導体領域と、

(i) 前記ゲート電極上に形成された層間絶縁膜と、

(j) 前記層間絶縁膜上に形成された制御電極であって、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を有する

ことを特徴とする半導体集積回路装置。

16. 前記窒化膜は、前記第1熱酸化膜表面に窒化処理を施すことにより形成された膜であることを特徴とする請求の範囲第15項記載の半導体集積回路装置。

5 17. 前記第1熱酸化膜の膜厚は、30nm以下であることを特徴とする請求の範囲第15項記載の半導体集積回路装置。

18. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、前記第2熱酸化膜の膜厚より小さいことを特徴とする請求の範囲第15項記載の半導体集積回路装置。

10 19. 半導体基板のメモリセル形成領域内の素子分離領域に形成された素子分離と、前記メモリセル形成領域内の素子形成領域に形成されたメモリセルと、半導体基板の周辺回路領域に形成された高耐圧MISFETと、を有する半導体集積回路装置であって、

前記素子分離は、

- 15 (a) 前記素子分離領域の半導体基板中に形成された素子分離溝と、
(b) 前記素子分離溝内に形成された第1熱酸化膜と、
(c) 前記第1熱酸化膜上に形成された窒化膜と、
(d) 前記素子分離溝内に埋め込まれた絶縁膜と、を有し、

前記メモリセルは、

- 20 (e) 前記素子形成領域の半導体基板上に形成された第1のゲート絶縁膜と、
(f) 前記第1のゲート絶縁膜上に形成された第1のゲート電極と、
(g) 前記第1のゲート電極端部下に形成された第2熱酸化膜と、
(h) 前記第1のゲート電極の両側に形成された第1の半導体領域と、
(i) 前記ゲート電極上に形成された層間絶縁膜と、
(j) 前記層間絶縁膜上に形成された制御電極であって、前記ゲート電極への電
25 子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極と、を有し、

前記高耐圧MISFETは、

- (k) 前記周辺回路領域の半導体基板上に形成された第2のゲート絶縁膜と、
(l) 前記第2のゲート絶縁膜上に形成された第2のゲート電極と、

(m) 前記第2のゲート電極の両側に形成された第2の半導体領域と、
を有することを特徴とする半導体集積回路装置。

20. 前記窒化膜は、前記第1熱酸化膜表面に窒化処理を施すことにより形成された膜であることを特徴とする請求の範囲第19項記載の半導体集積回路装置。

5 21. 前記第1熱酸化膜の膜厚は、30nm以下であることを特徴とする請求の範囲第19項記載の半導体集積回路装置。

22. 前記メモリセル形成後における前記第1熱酸化膜の膜厚は、前記第2熱酸化膜の膜厚より小さいことを特徴とする請求の範囲第19項記載の半導体集積回路装置。

10 23. 前記第2のゲート絶縁膜は、第3熱酸化膜と堆積酸化膜との積層膜からなることを特徴とする請求の範囲第19項記載の半導体集積回路装置。

24. 半導体基板上に素子形成領域と素子分離領域とを有し、前記素子形成領域上にメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、

15 (b) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(c) 前記半導体基板を熱処理することにより前記ゲート電極端部下に第1熱酸化膜を形成する工程と、

(d) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、

20 (e) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(f) 前記素子分離溝内に第2熱酸化膜を形成する工程と、

(g) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

25 25. 前記半導体集積回路装置の製造方法は、

前記(d)工程と(e)工程の間に、前記ゲート電極の側壁にサイドウォール膜を形成する工程を有し、

前記(e)工程の素子分離溝は、前記ゲート電極の側壁の形成されたサイドウォール膜をマスクに形成されることを特徴とする請求の範囲第24項記載の半導体

集積回路装置の製造方法。

26. 前記メモリセルは、不揮発性メモリセルであり、

前記半導体集積回路装置の製造方法は、さらに、

(h) 前記ゲート電極上に、層間絶縁膜を形成する工程と、

- 5 (i) 前記層間絶縁膜上に、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を形成する工程と、
を有することを特徴とする請求の範囲第24項記載の半導体集積回路装置の製造方法。

27. 前記メモリセル形成後における前記第2熱酸化膜の膜厚は、30nm以下
10 であることを特徴とする請求の範囲第24項記載の半導体集積回路装置の製造方法。

28. 半導体基板上に素子形成領域と素子分離領域とを有し、前記素子形成領域上にメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記素子形成領域の半導体基板上に、ゲート絶縁膜を形成する工程と、

- 15 (b) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(c) 前記半導体基板を熱処理することにより前記ゲート電極端部下に第1熱酸化膜を形成する工程と、

(d) 前記ゲート電極の両側に不純物を注入することにより半導体領域を形成する工程と、

- 20 (e) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(f) 前記素子分離溝内に第2熱酸化膜を形成する工程と、

(g) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することによって前記素子分離溝内に絶縁膜を埋め込む工程と、

- (h) 前記素子分離溝内に絶縁膜を埋め込む工程以降に、酸素含量が1%以下で
25 ある不活性雰囲気中でのアニール工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

29. 前記半導体基板上には、素子形成領域と素子分離領域とを有し、前記メモリセルが形成されるメモリセル形成領域と高耐圧MISFETが形成される周辺回路領域を有し、

前記半導体集積回路装置の製造方法は、さらに、

(h) 前記周辺回路領域の半導体基板表面に高耐圧M I S F E T用のゲート酸化膜を形成する工程と、

5 (i) 前記高耐圧M I S F E T用ゲート酸化膜上に、高耐圧M I S F E T用のゲート電極を形成する工程と、

を有することを特徴とする請求の範囲第24項記載の半導体集積回路装置の製造方法。

30. 半導体基板の素子分離領域に形成された素子分離と、前記半導体基板の素子形成領域に形成されたメモリセルを有する半導体集積回路装置であって、

10 前記メモリセルは、

(a) 前記素子形成領域の半導体基板上に形成されたゲート絶縁膜と、

(b) 前記ゲート絶縁膜上に形成されたゲート電極と、

(c) 前記ゲート電極端部下に形成された第1酸化膜と、

(d) 前記ゲート電極の両側に形成された半導体領域と、

15 (e) 前記ゲート電極の側壁に形成されたサイドウォール膜と、を有し、
前記素子分離は、

(f) 前記素子分離領域の半導体基板中に、前記サイドウォール膜をマスクとして形成された素子分離溝と、

20 (g) 前記素子分離溝内に形成され前記第1酸化膜よりも膜厚が小さい第2酸化膜と、

(h) 前記素子分離溝内に埋め込まれた絶縁膜と、

を有することを特徴とする半導体集積回路装置。

31. 前記メモリセルは、不揮発性メモリセルであり、

前記メモリセルは、さらに、

25 (i) 前記ゲート電極上に形成された層間絶縁膜と、

(j) 前記層間絶縁膜上に形成された制御電極であって、前記ゲート電極への電子の注入もしくは前記ゲート電極からの電子の放出を制御する制御電極を有することを特徴とする請求の範囲第30項記載の半導体集積回路装置。

32. 前記第2酸化膜の膜厚は、30nm以下であることを特徴とする請求の範

図第 30 項記載の半導体集積回路装置。

33. 前記半導体集積回路装置は、さらに、前記半導体基板の周辺回路領域に形成された高耐圧MISFETを有し、

前記高耐圧MISFETは、

5 (i) 前記周辺回路領域の半導体基板上に形成された高耐圧MISFET用のゲート絶縁膜と、

(j) 前記高耐圧MISFET用のゲート絶縁膜上に形成された高耐圧MISFET用のゲート電極と、

10 (k) 前記高耐圧MISFET用のゲート電極の両側に形成された高耐圧MISFET用の半導体領域と、

を有することを特徴とする請求の範囲第30項記載の半導体集積回路装置。

34. 前記高耐圧MISFET用のゲート絶縁膜は、第3熱酸化膜と堆積酸化膜との積層膜からなることを特徴とする請求の範囲第30項記載の半導体集積回路装置。

15 35. 半導体基板上に素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、

(a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(b) 前記素子分離溝内に熱酸化膜を形成する工程と、

20 (c) 前記素子分離溝内を含む半導体基板上に酸化膜を堆積し、研磨することによって前記素子分離溝内に酸化膜を埋め込む工程と、

(d) 前記酸化膜に、酸素含量が1%以下である不活性雰囲気中で、熱処理を施す工程と、

(e) 前記素子形成領域の半導体基板上に半導体素子を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

25 36. 半導体基板上に素子形成領域と素子分離領域とを有する半導体集積回路装置の製造方法であって、

(a) 前記素子分離領域の半導体基板中に、素子分離溝を形成する工程と、

(b) 前記素子分離溝内に熱酸化膜を形成する工程と、

(c) 前記素子分離溝内を含む半導体基板上に絶縁膜を堆積し、研磨することに

よって前記素子分離溝内に絶縁膜を埋め込む工程と、

(d) 前記素子形成領域の半導体基板中に、選択的に、不純物を注入する工程と、

(e) 前記半導体基板中の不純物に、酸素含量が1 %以下である不活性雰囲気中で、熱処理を施す工程と、

5 を有することを特徴とする半導体集積回路装置の製造方法。

図 1

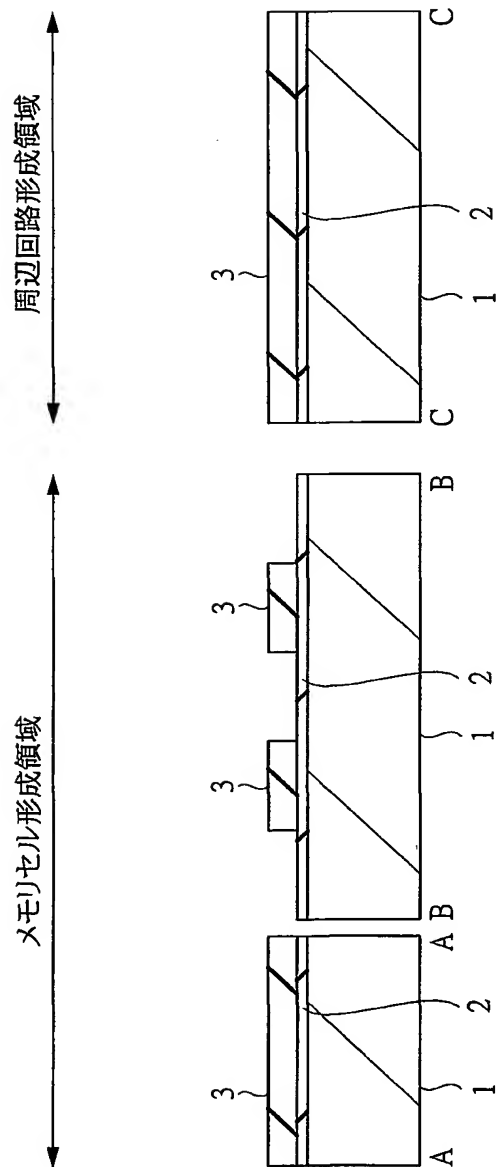


図 2

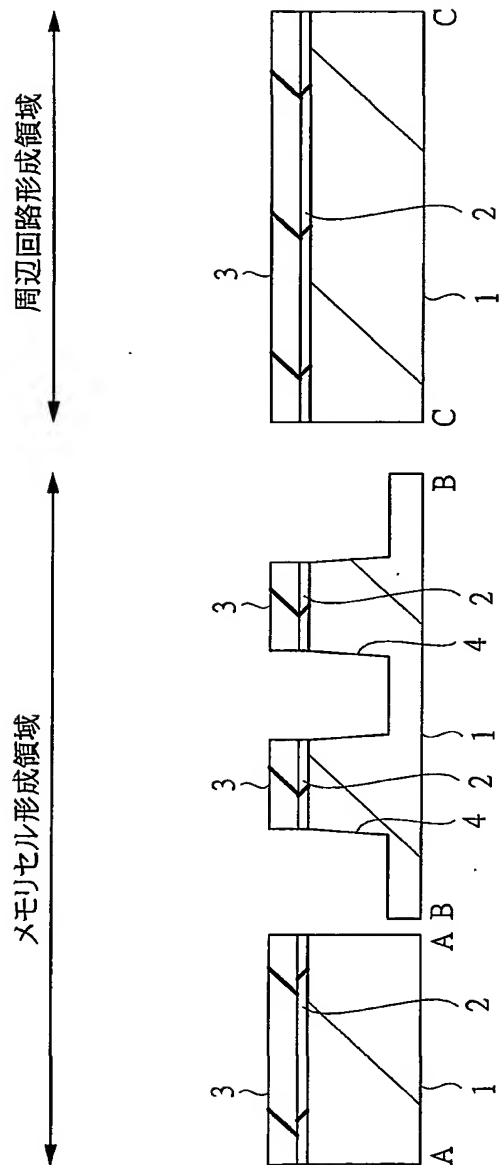


図 3

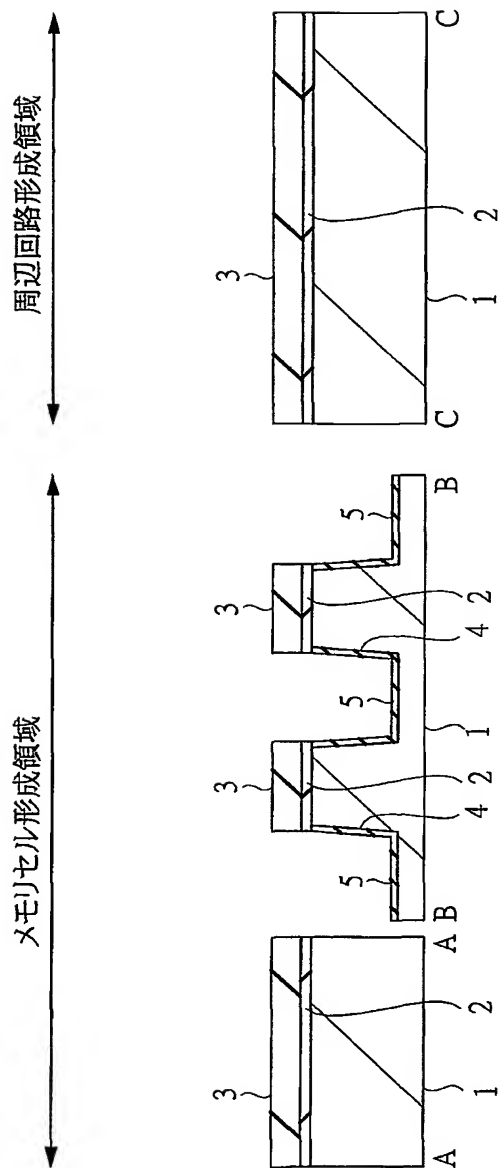


図 4

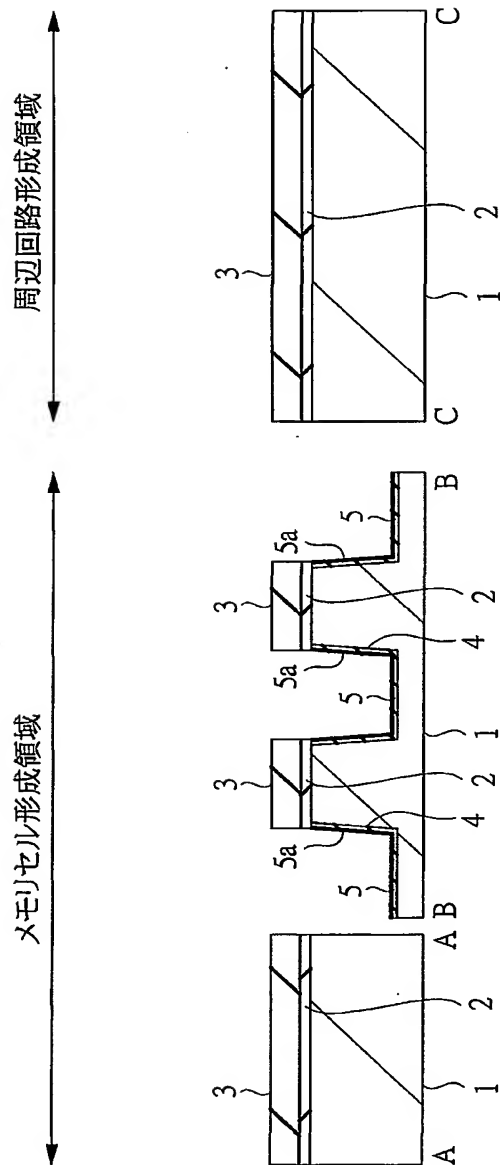


図 5

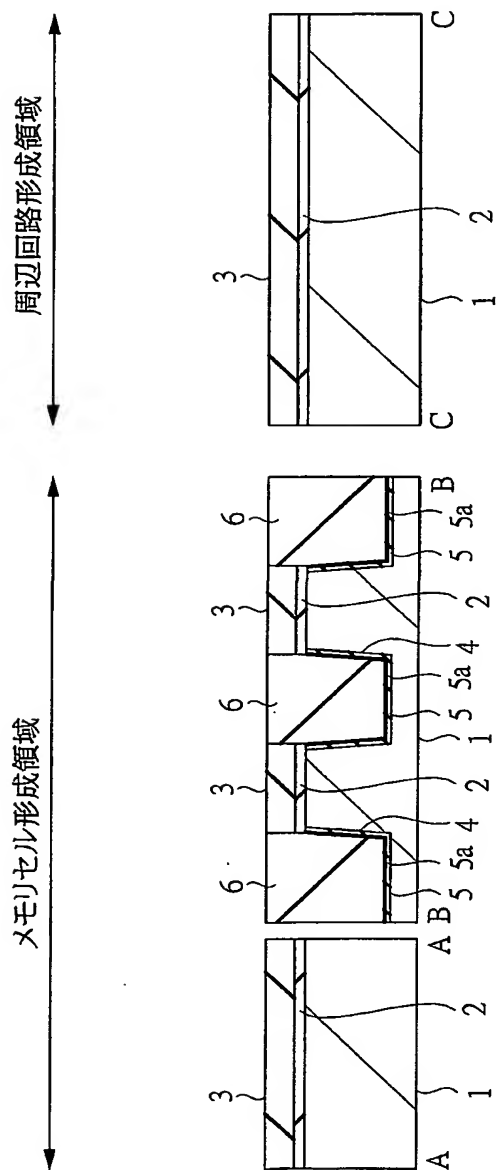


図 6

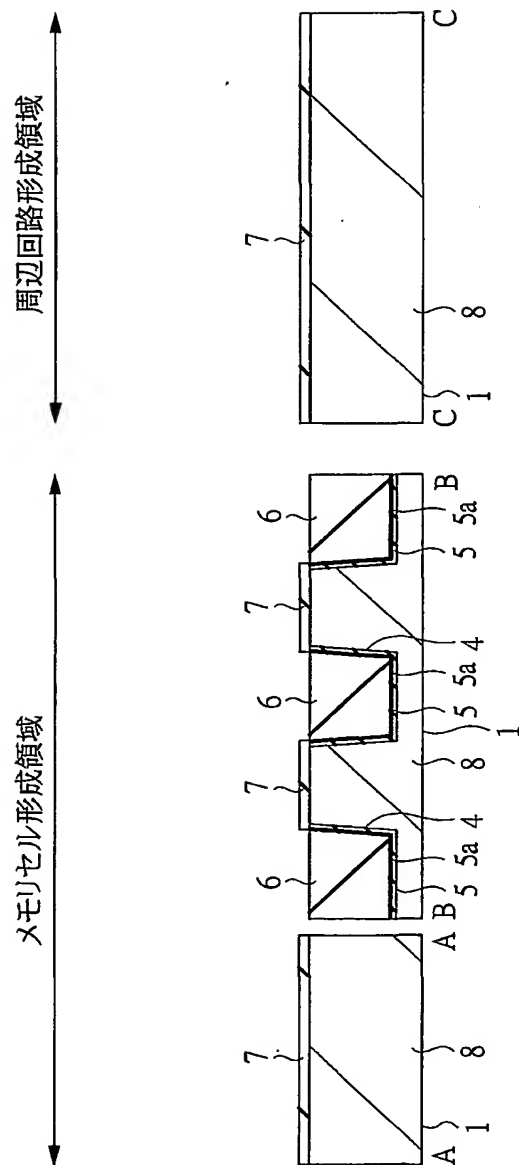


図 7

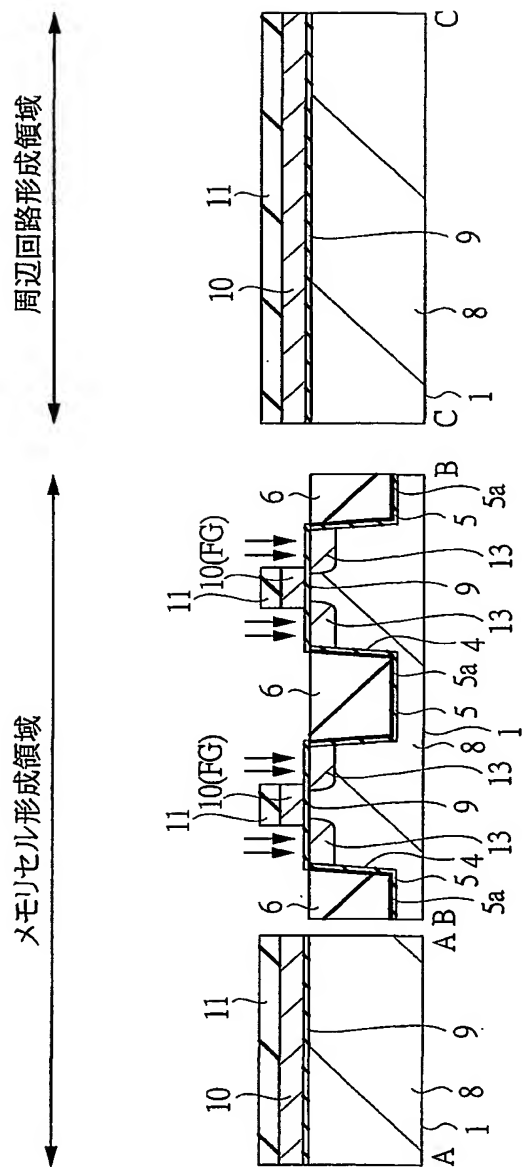


図 8

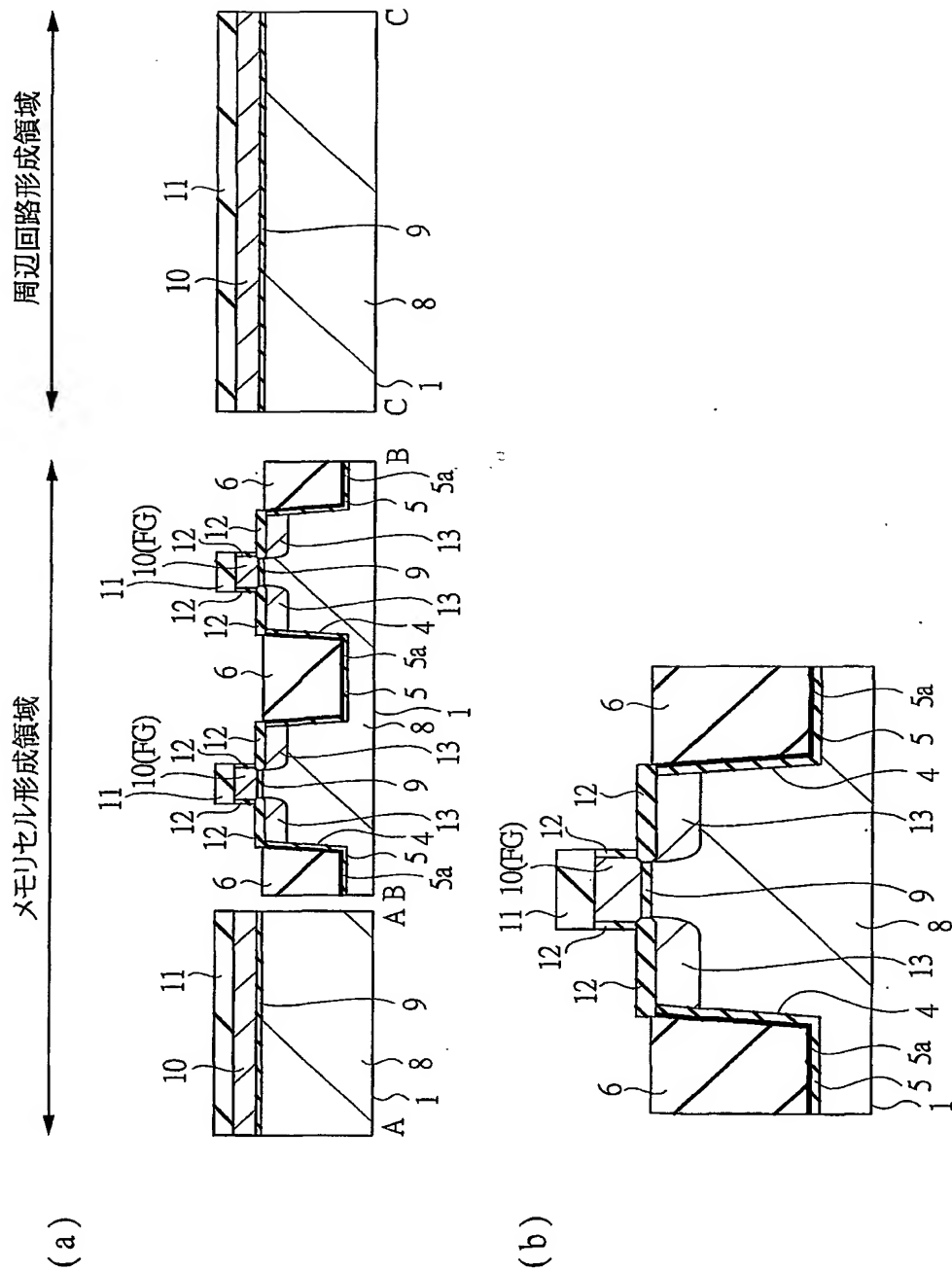


図 9

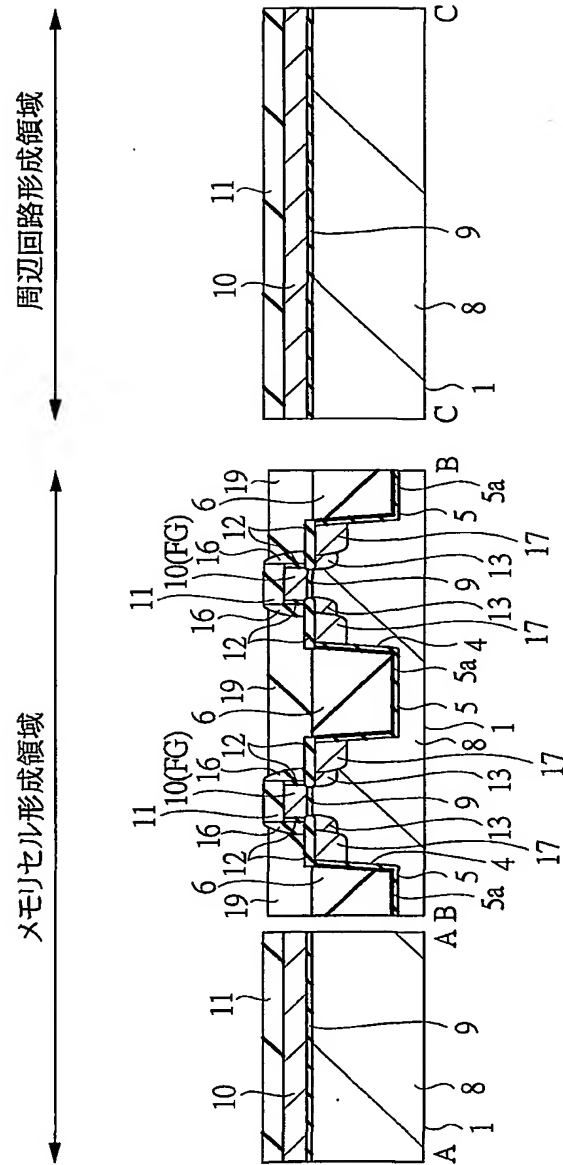
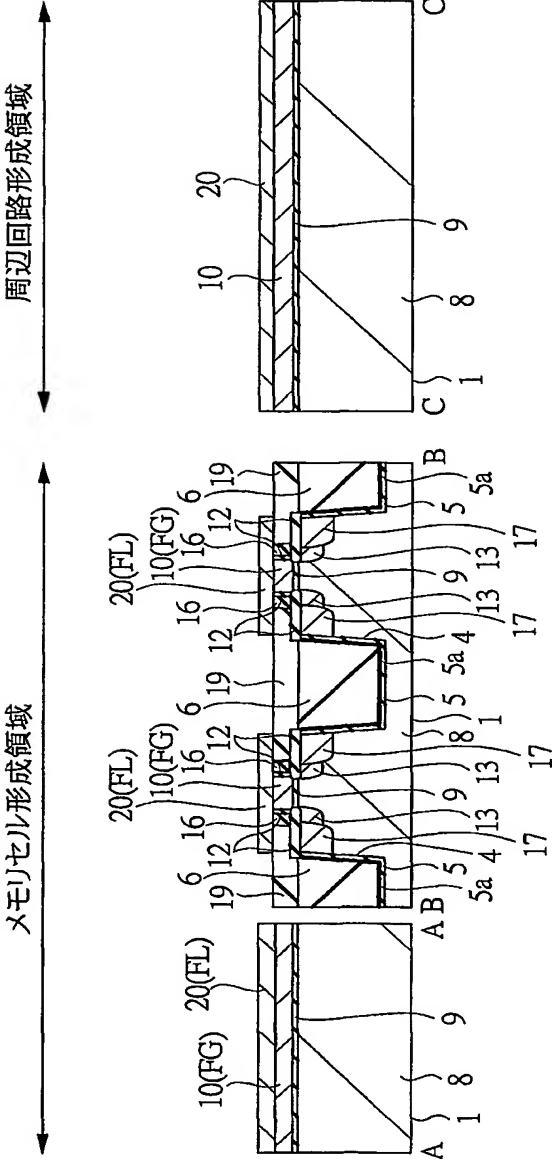
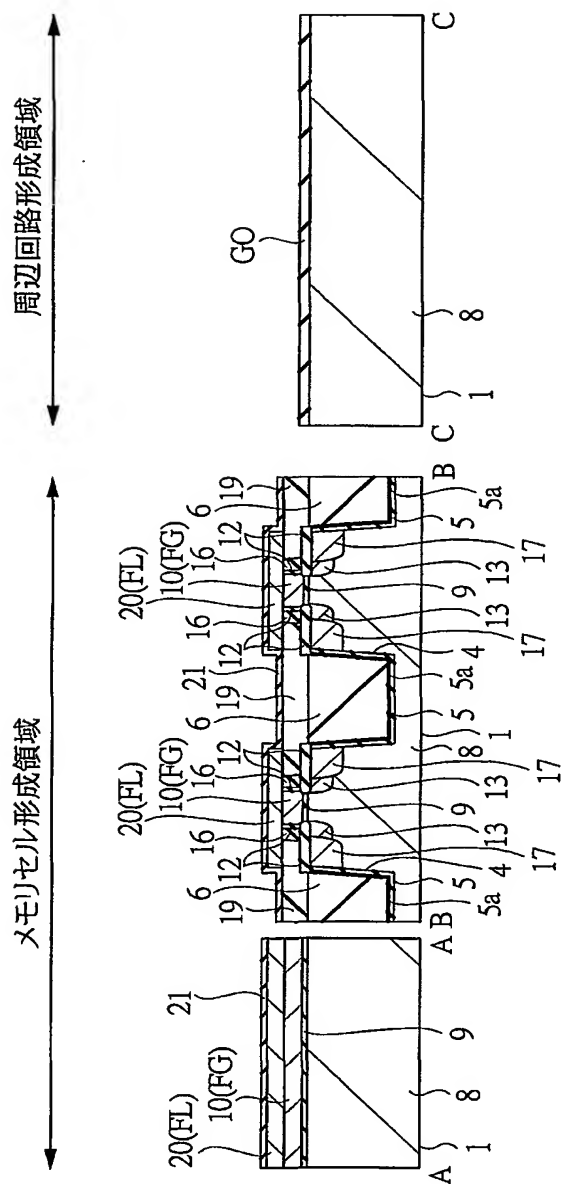
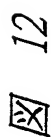


図 10





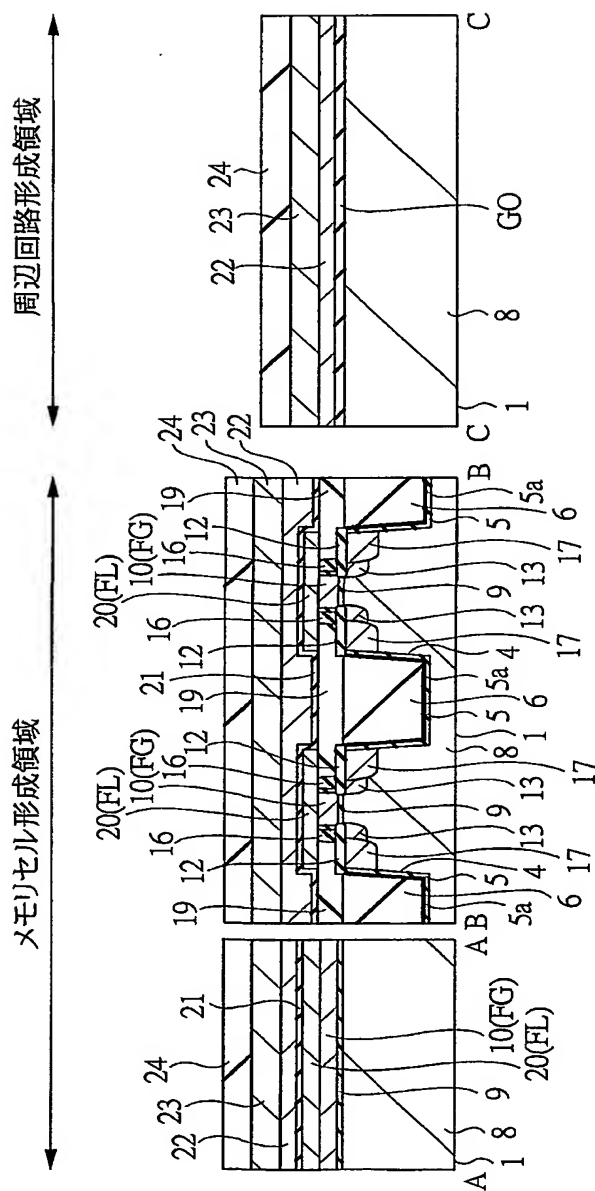
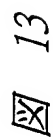


図 14

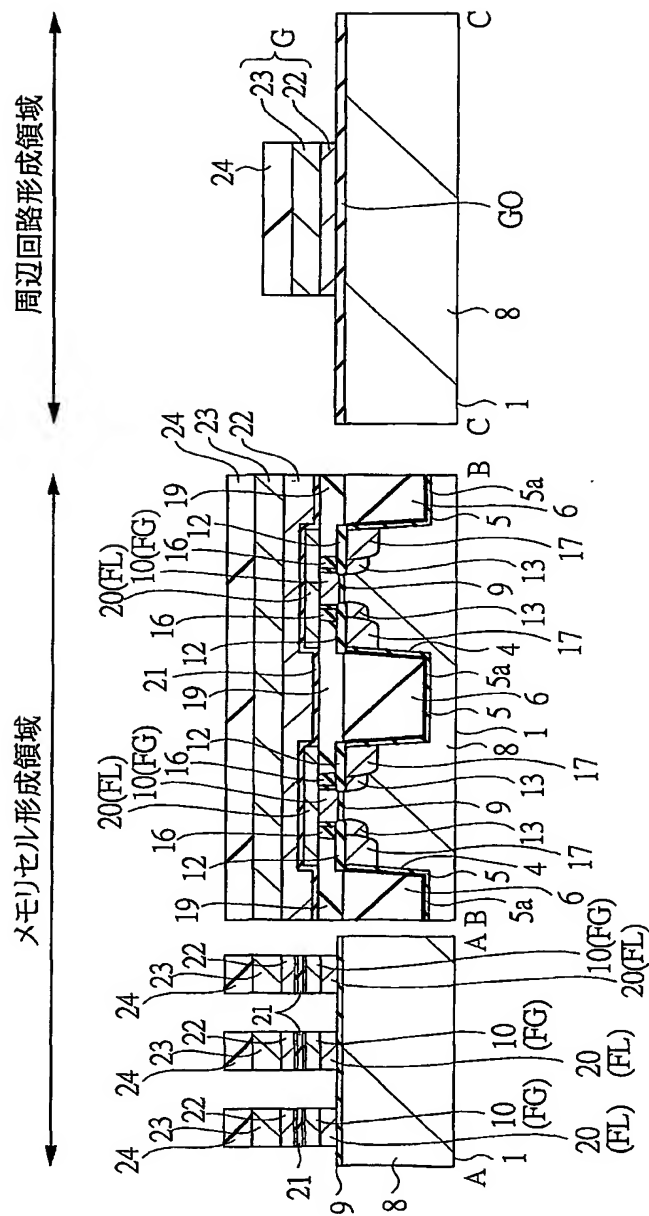
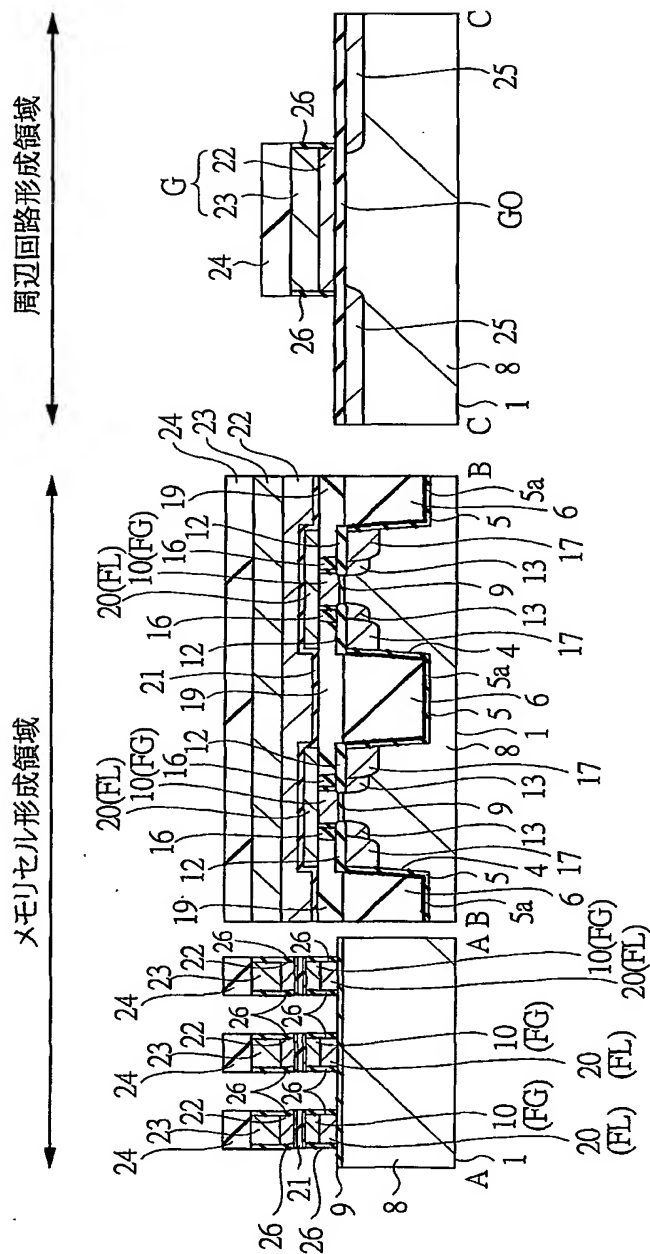
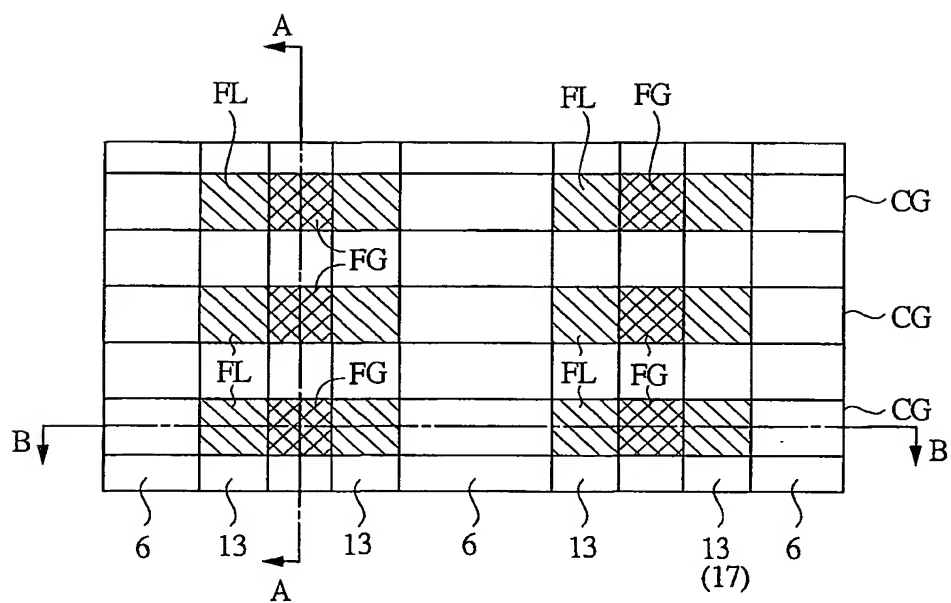


図 15



17



18

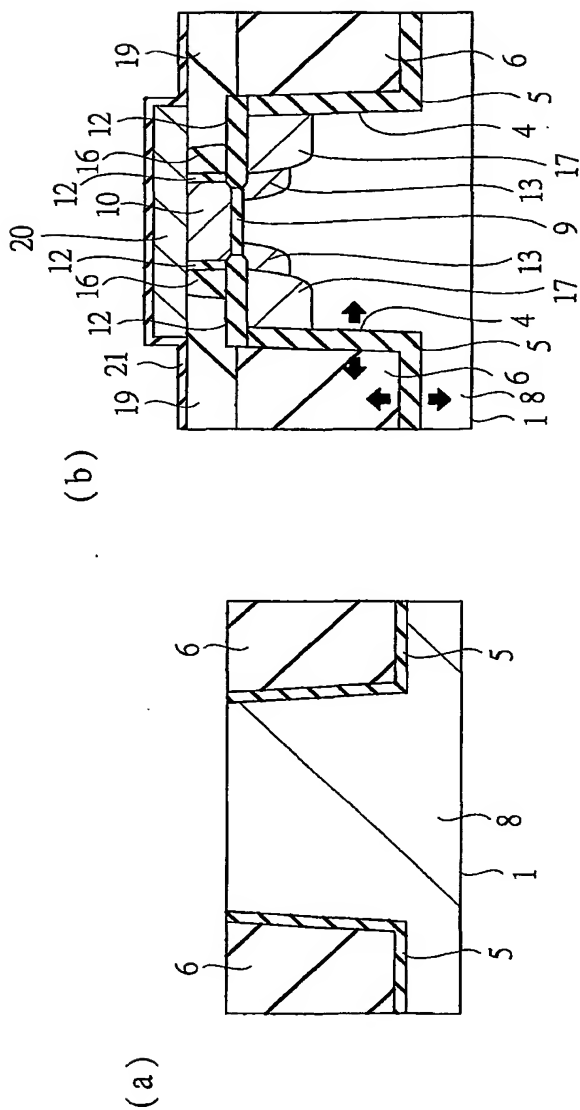
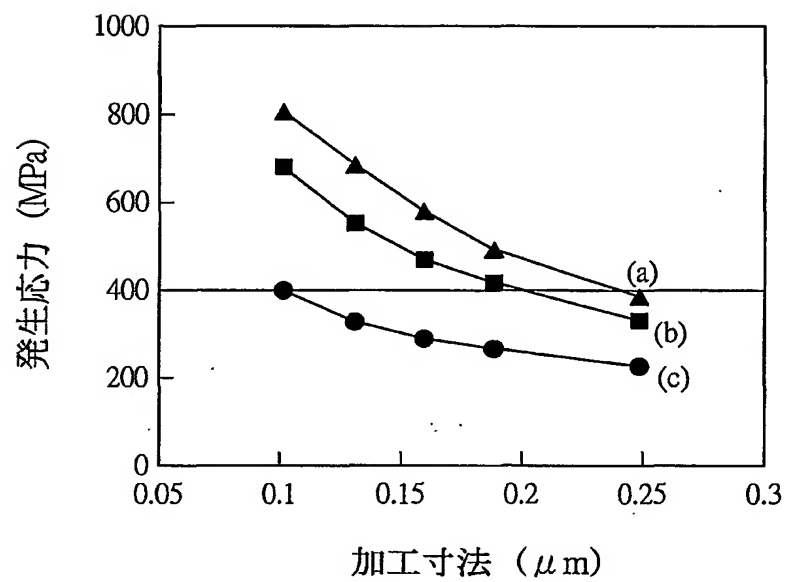
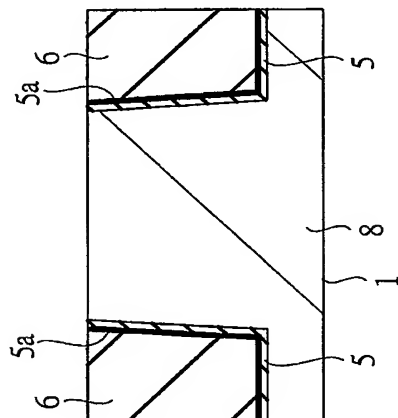


図 19



20

(a)



(b)

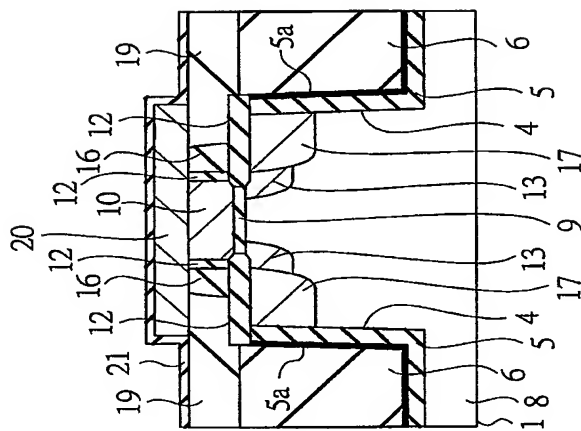


図 21

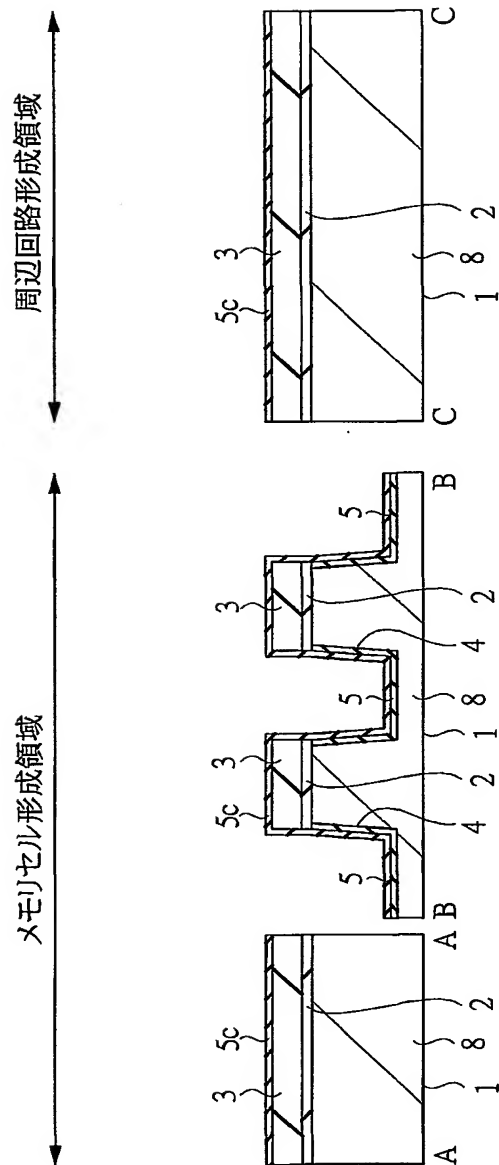


図 22

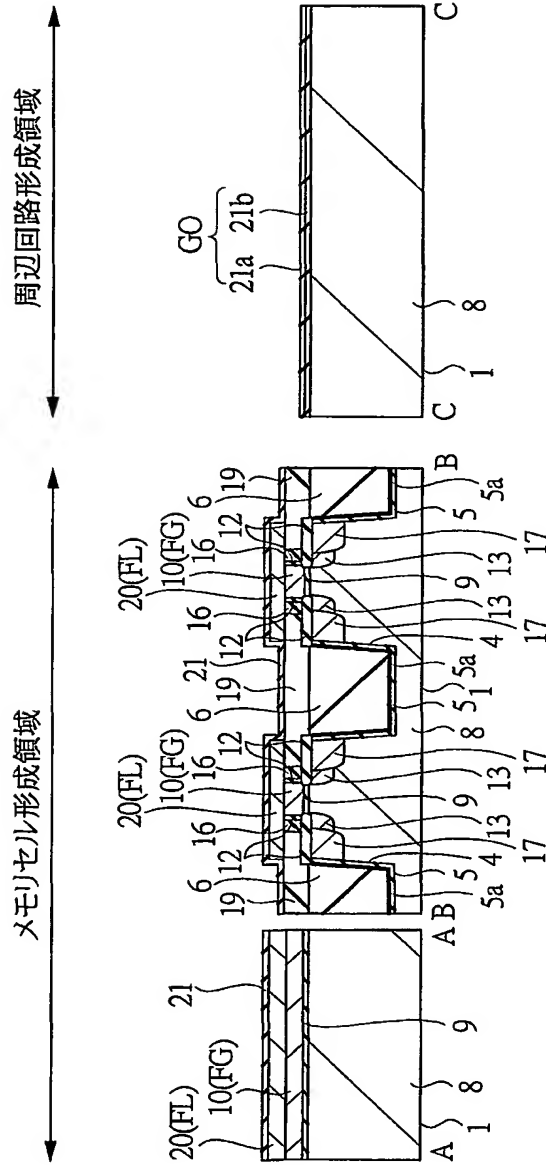


図 23

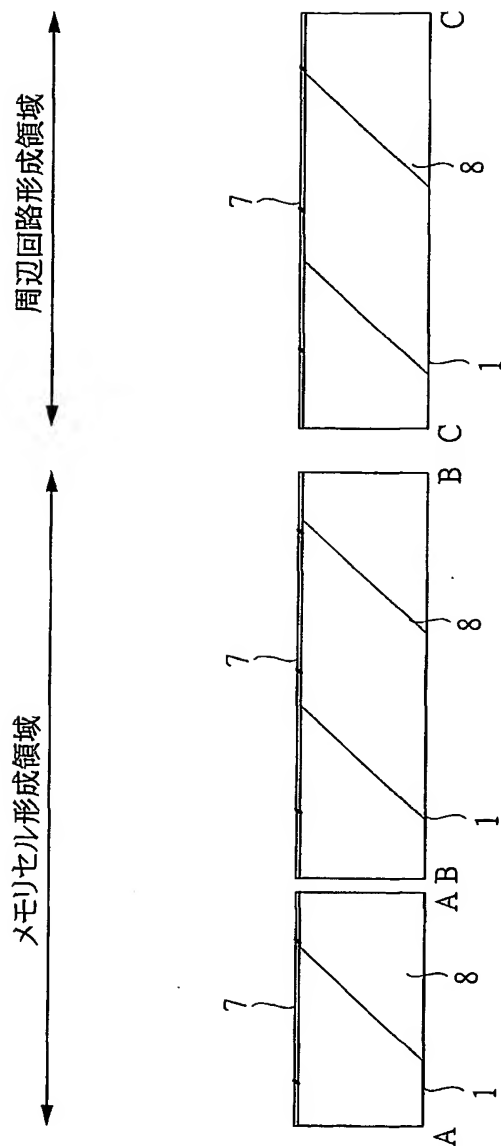


図 24

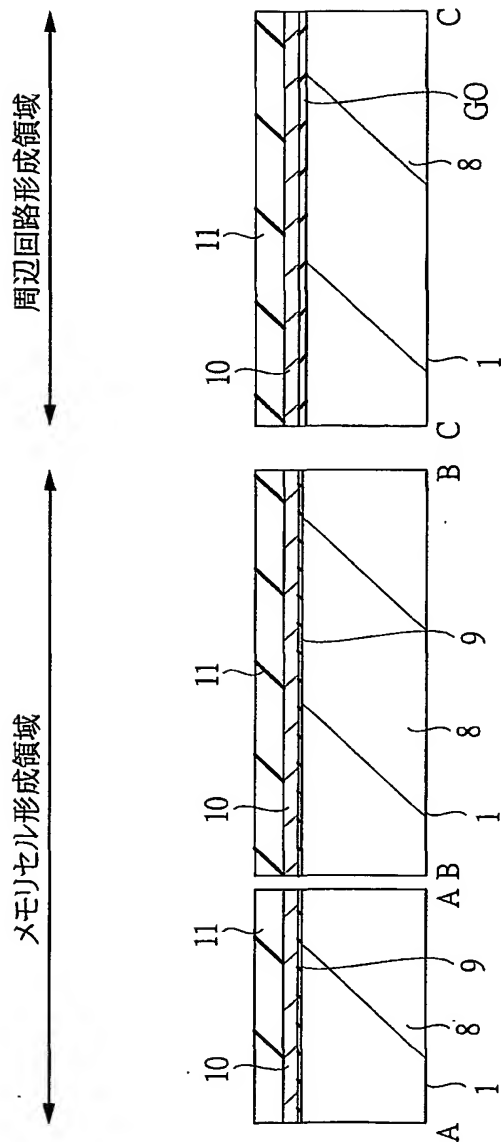


図 25

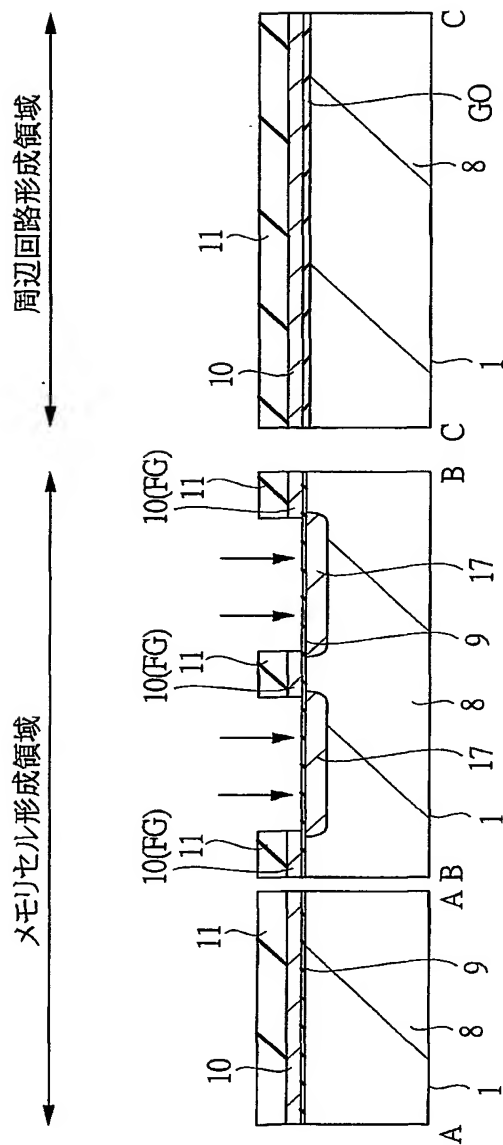


図 26

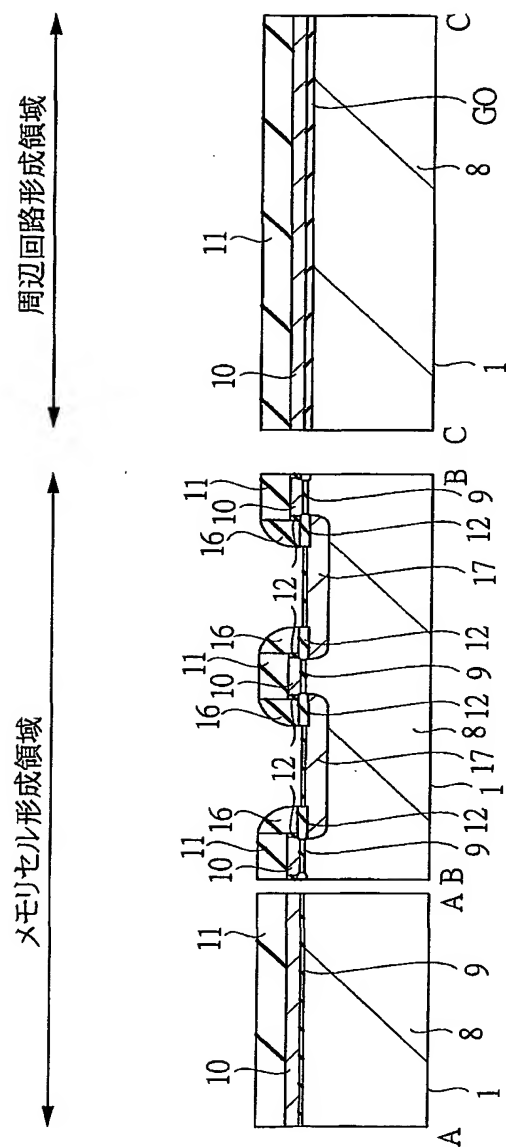


図 27

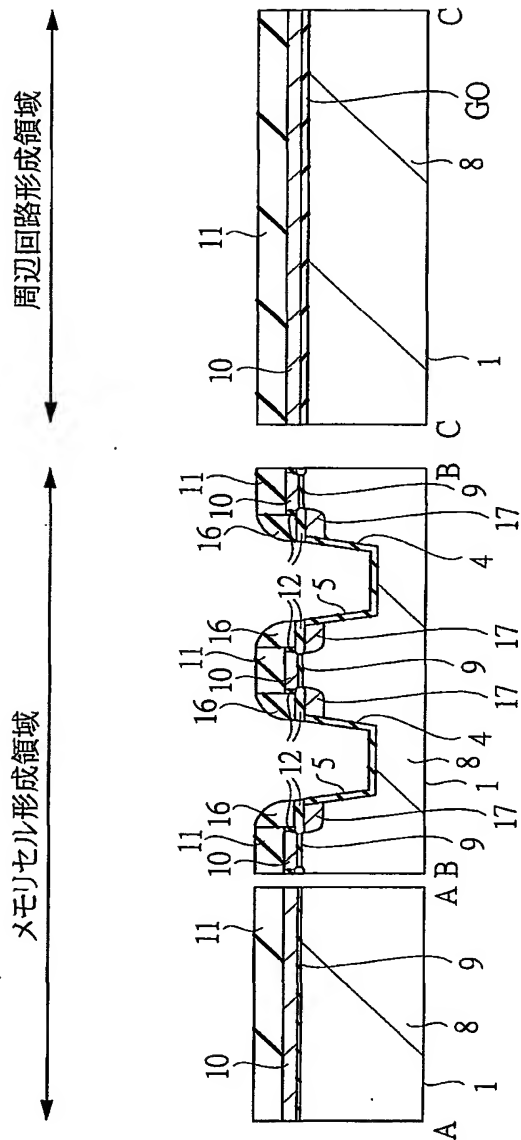


図 29

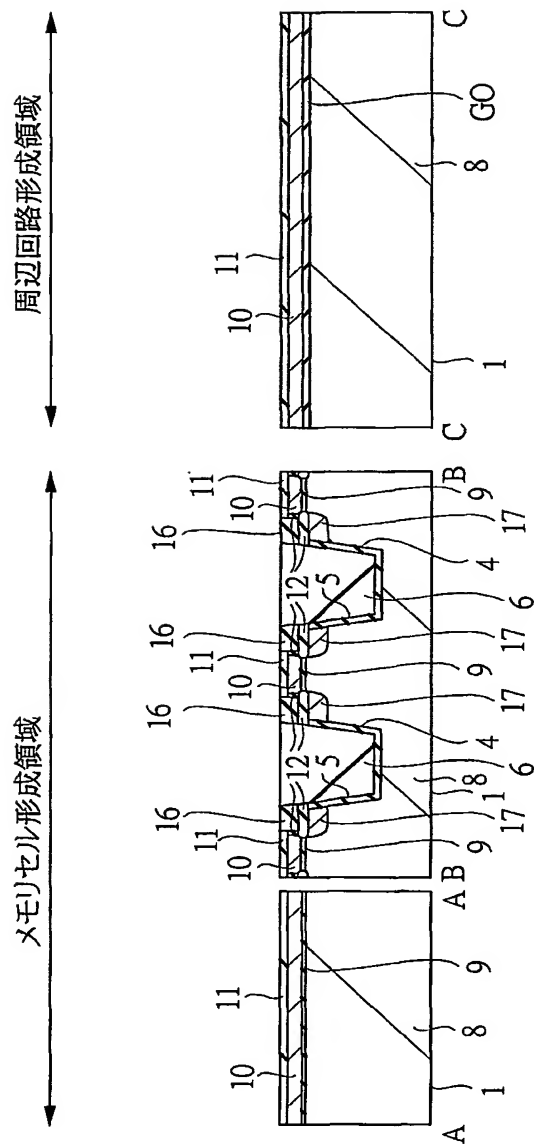
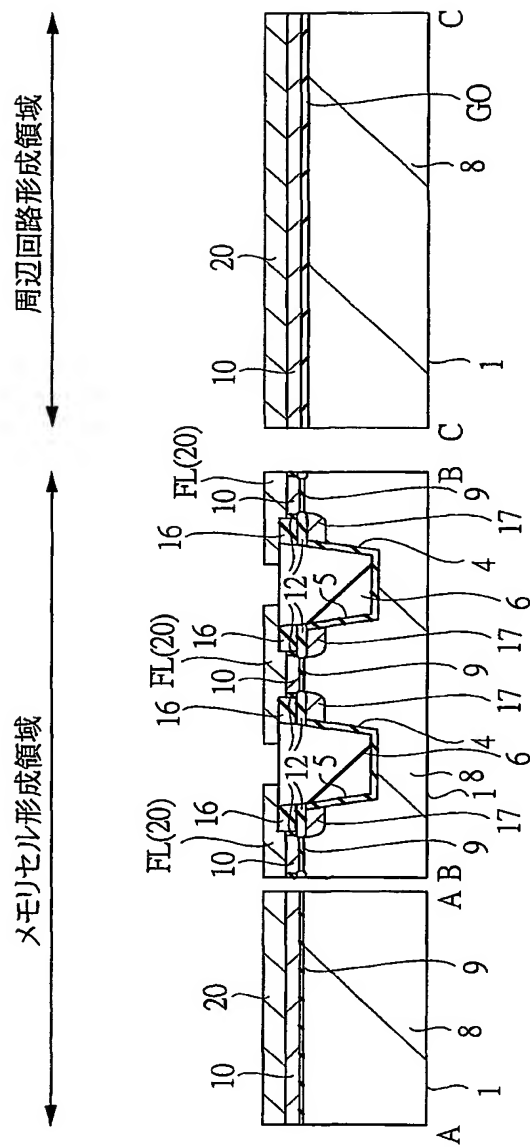


図 30



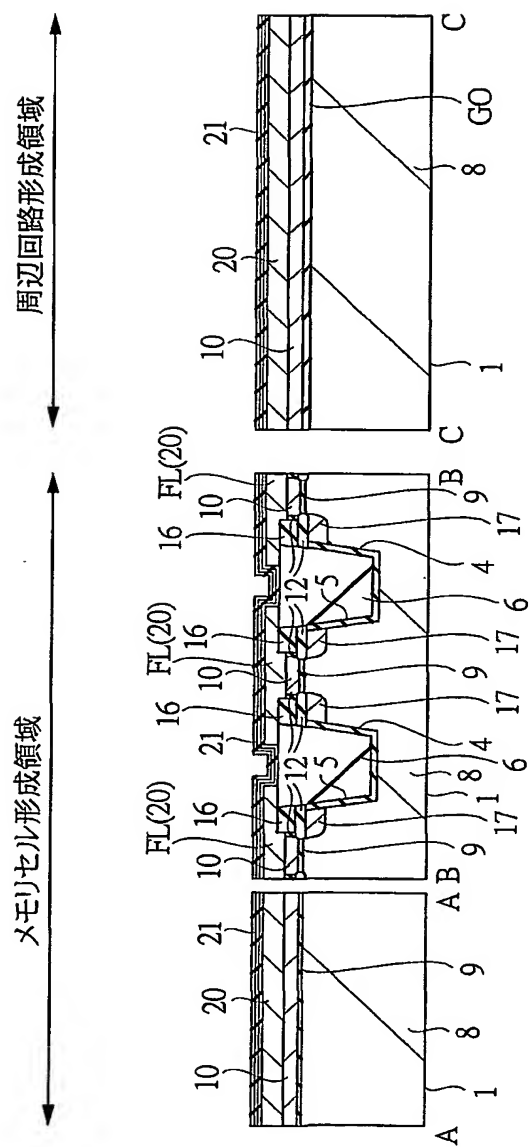
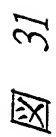
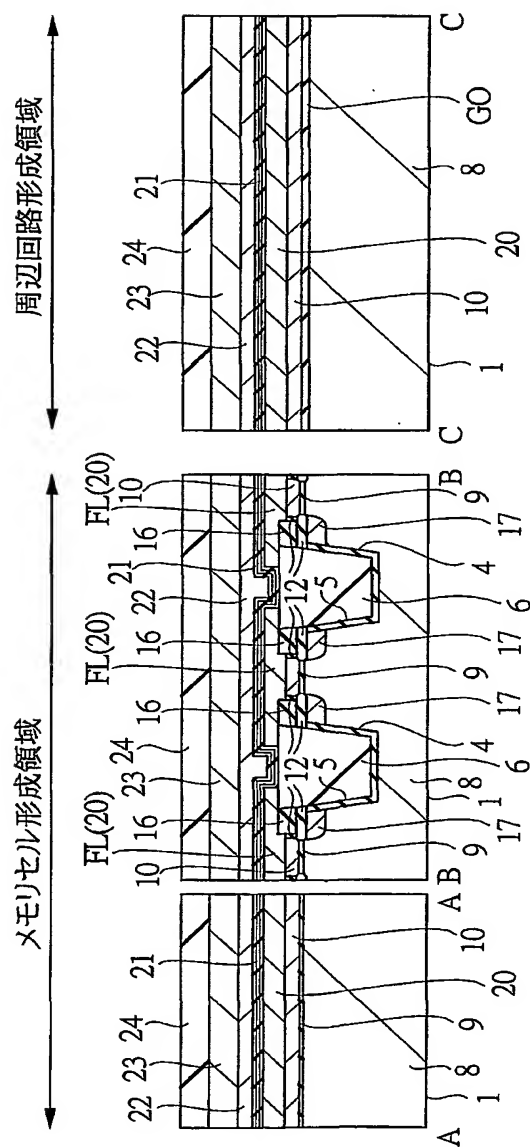


図 32



33

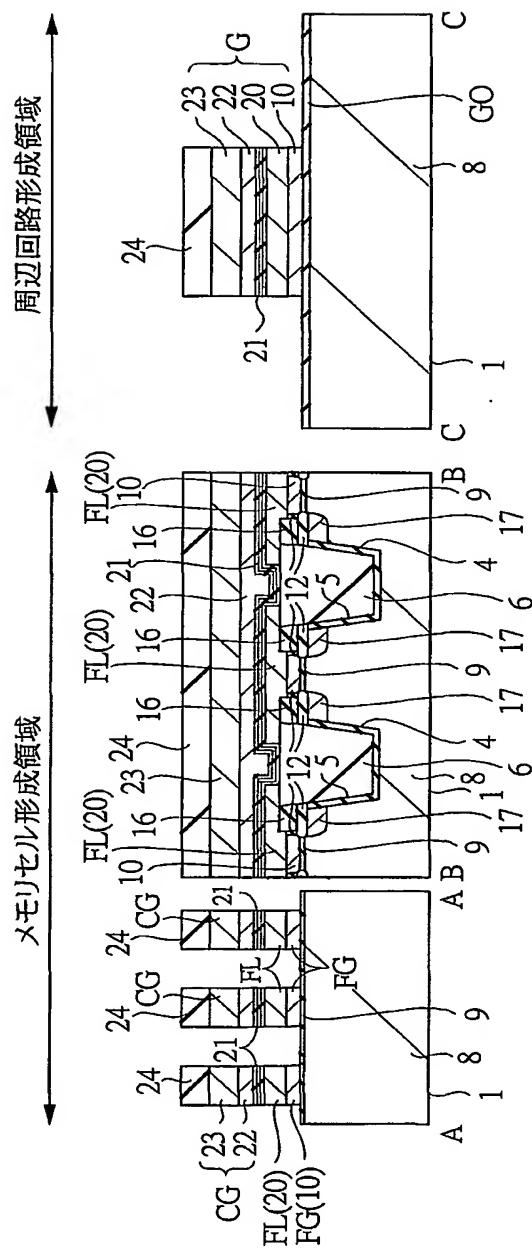
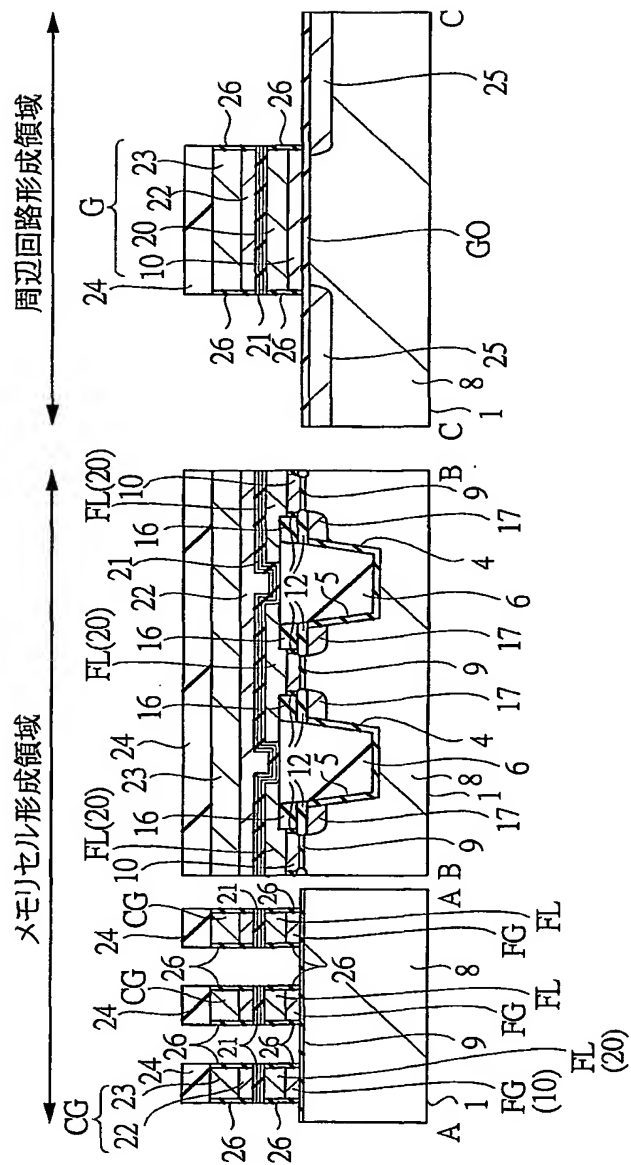


図 34



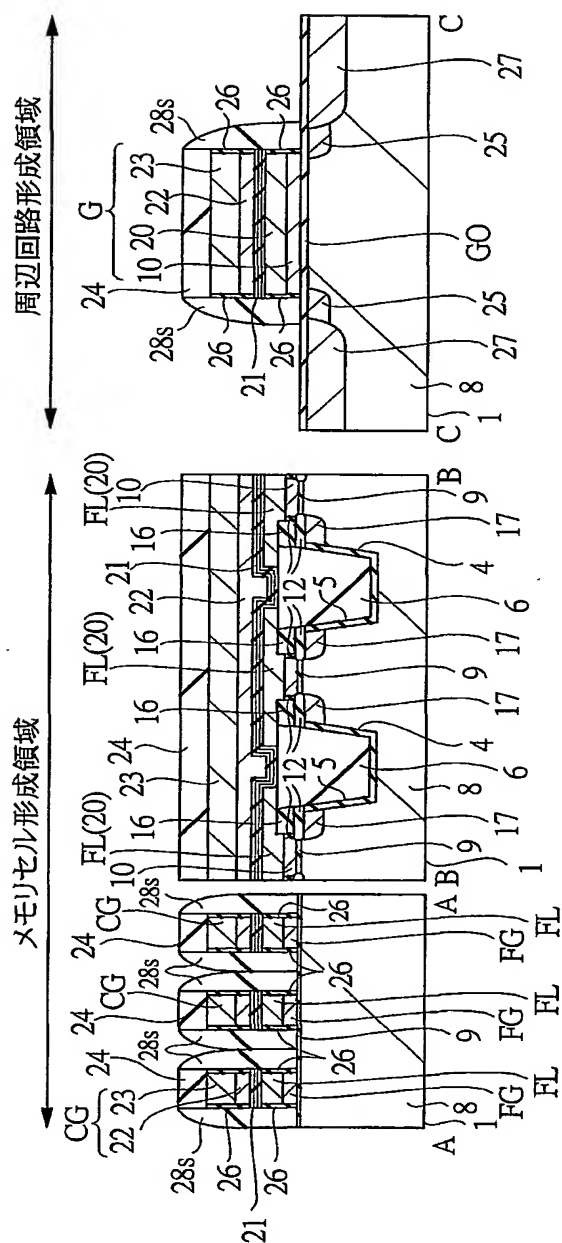
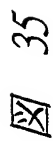


図 36

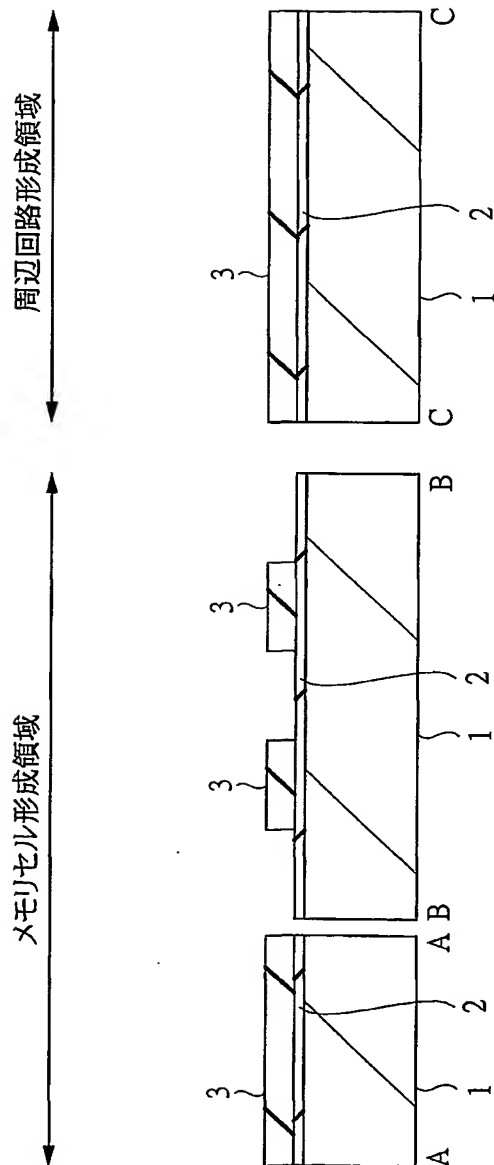


図 37

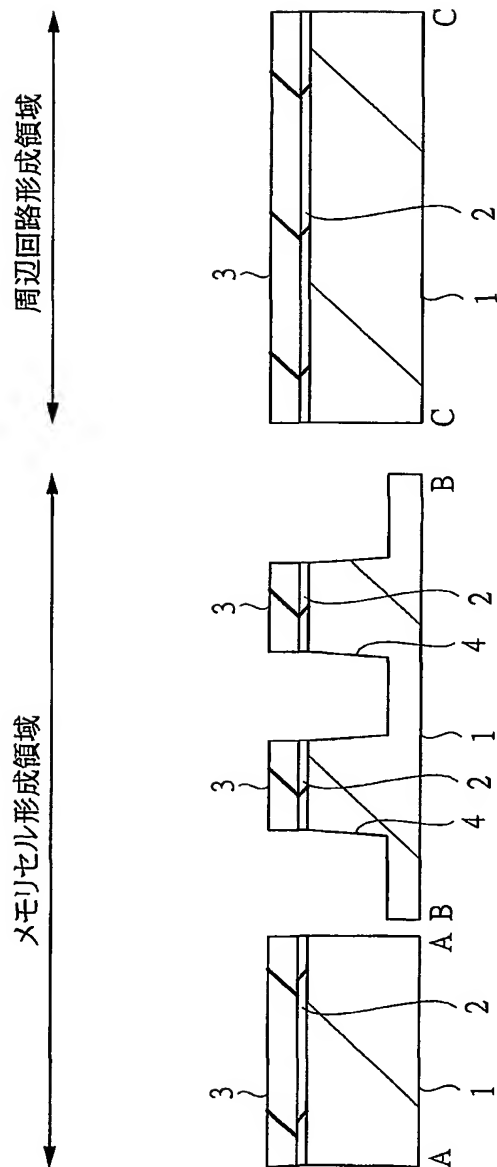


図 38

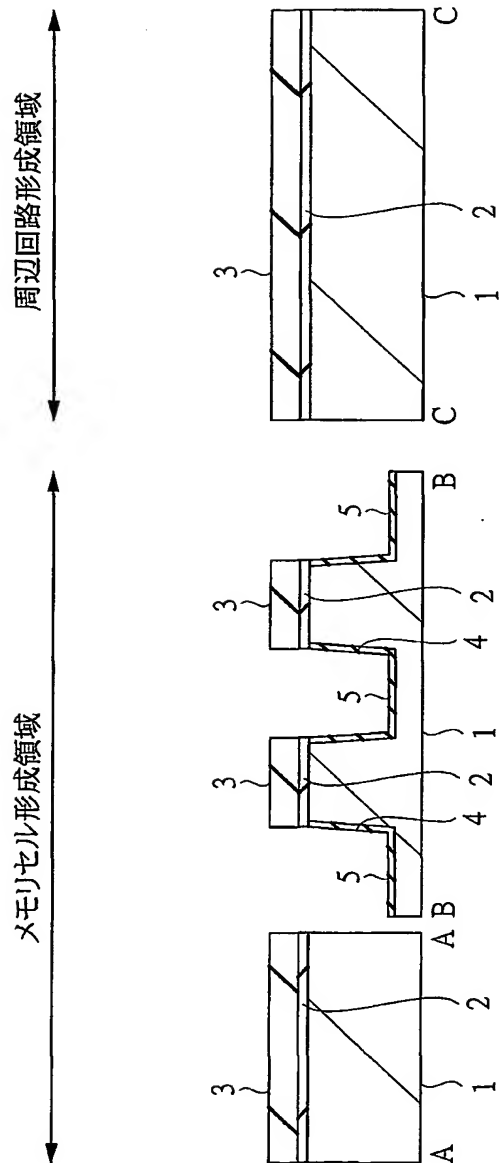


図 39

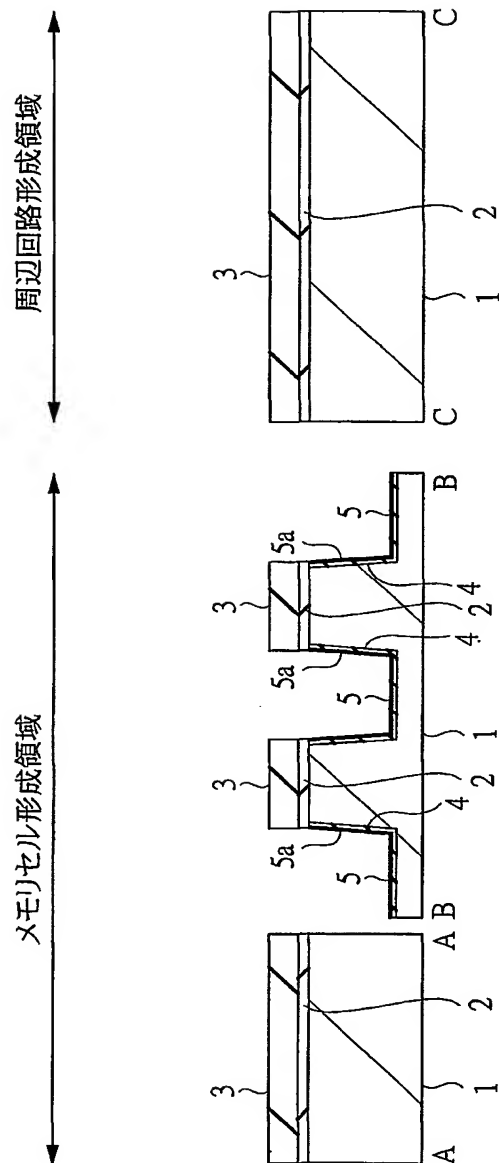


図 40

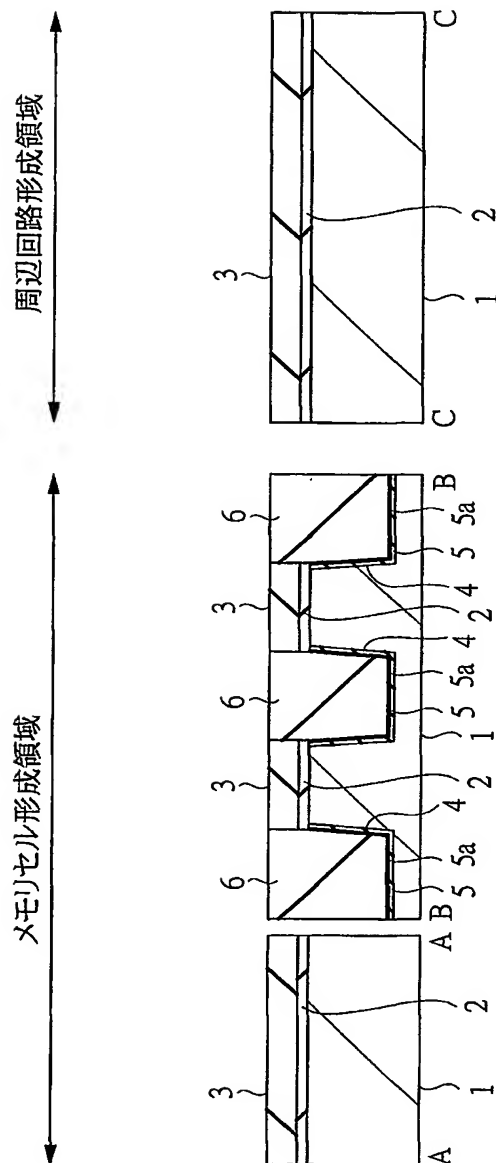
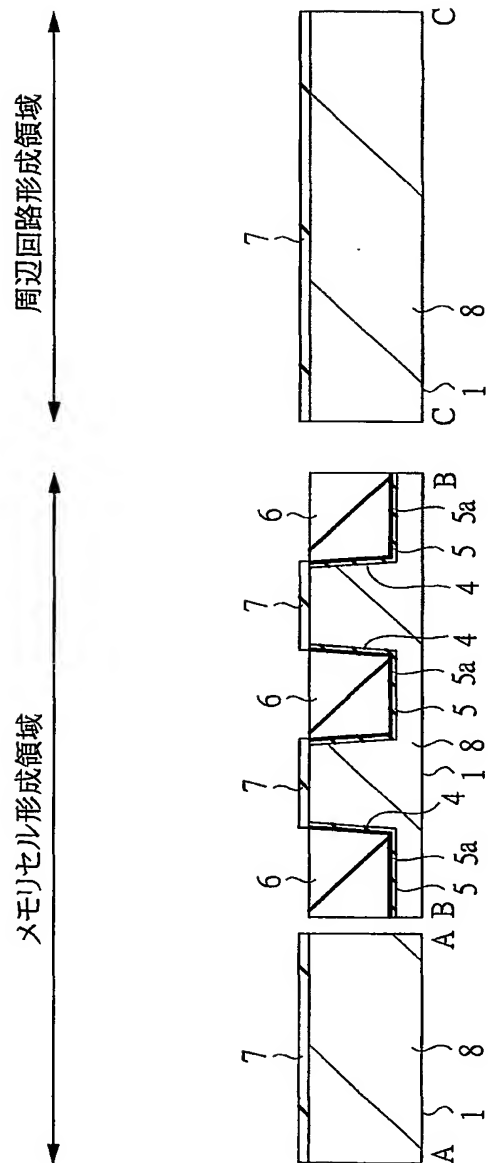


図 41



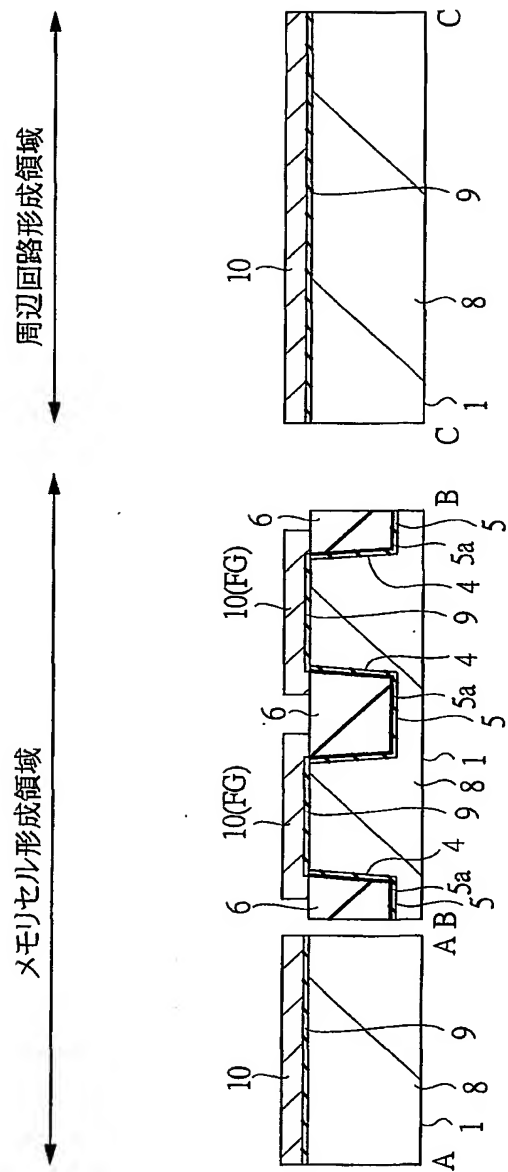


図 43

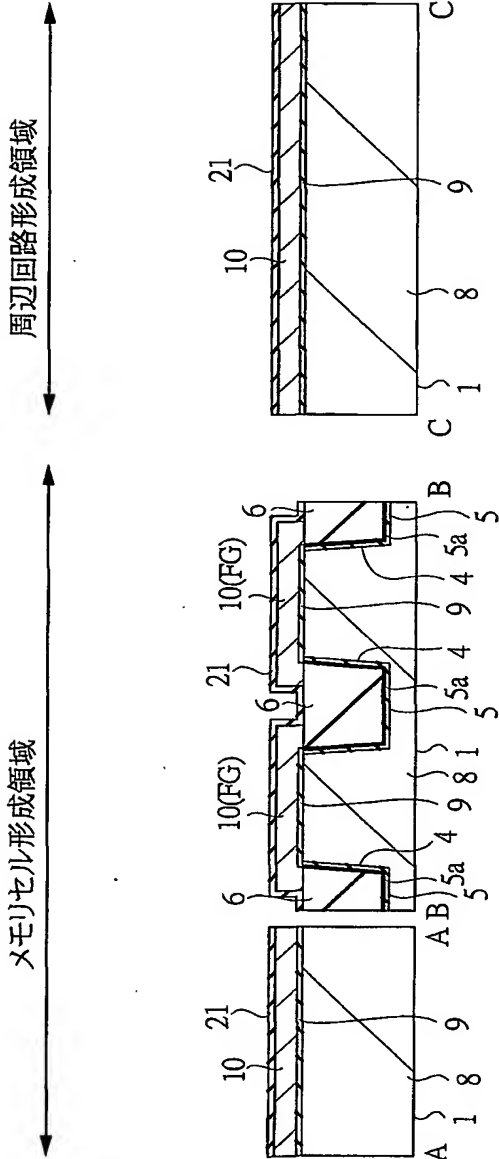


図 44

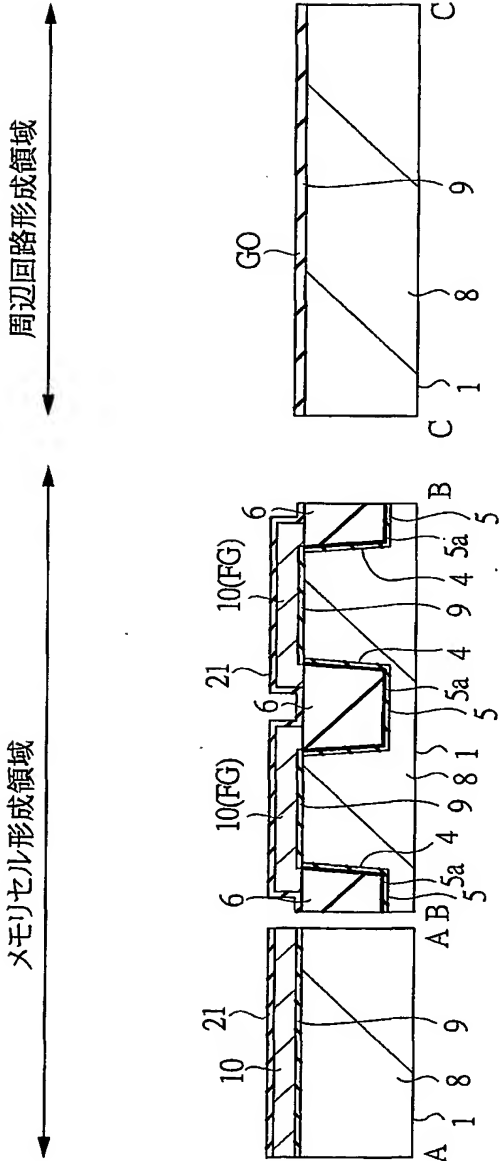


図 46

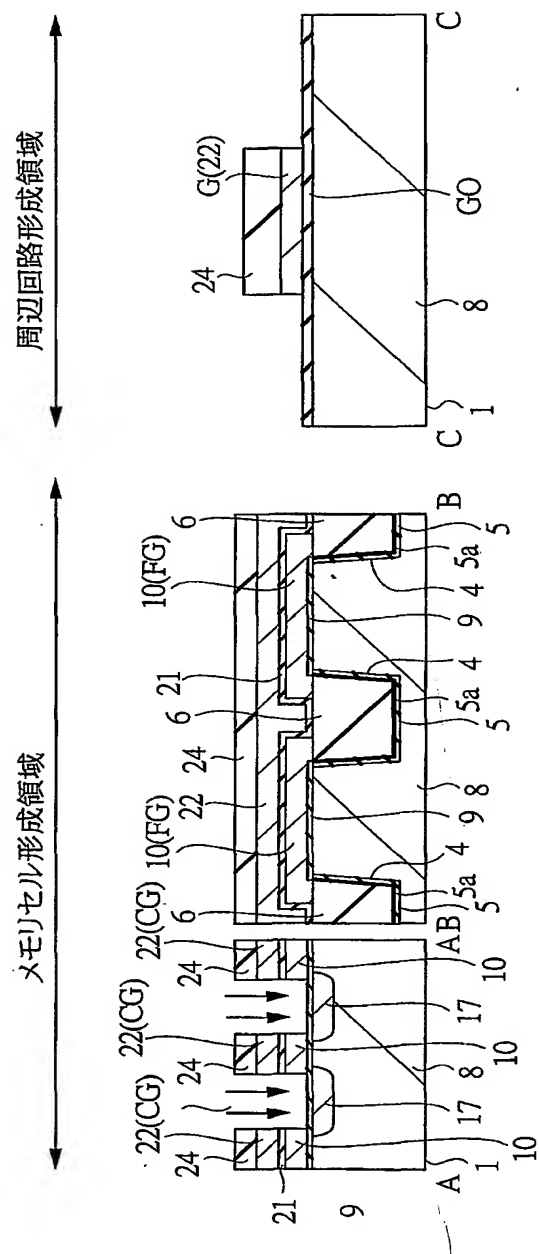


図 47

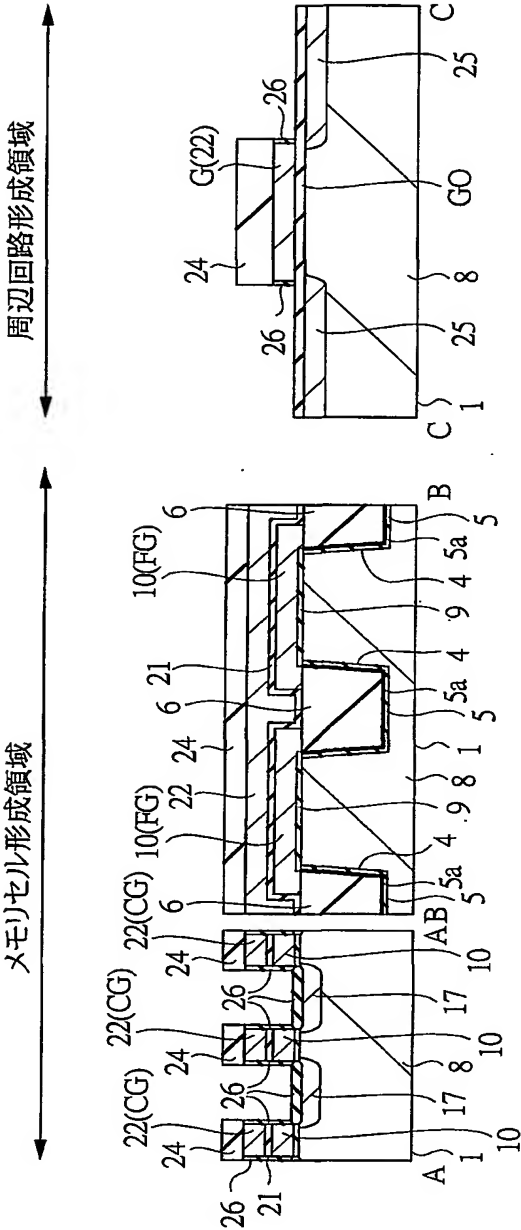
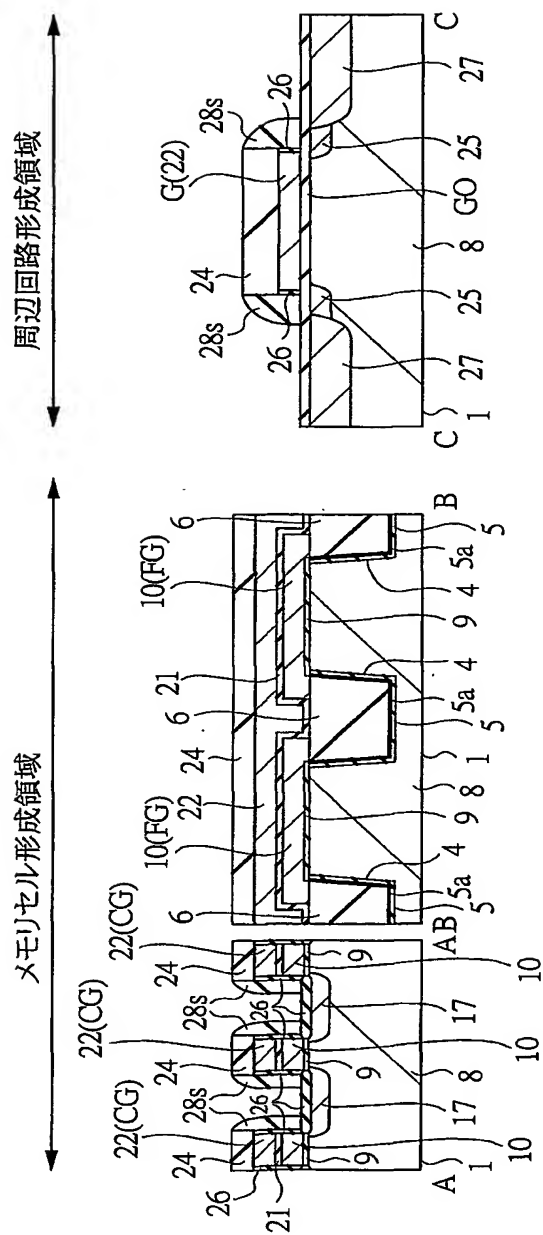
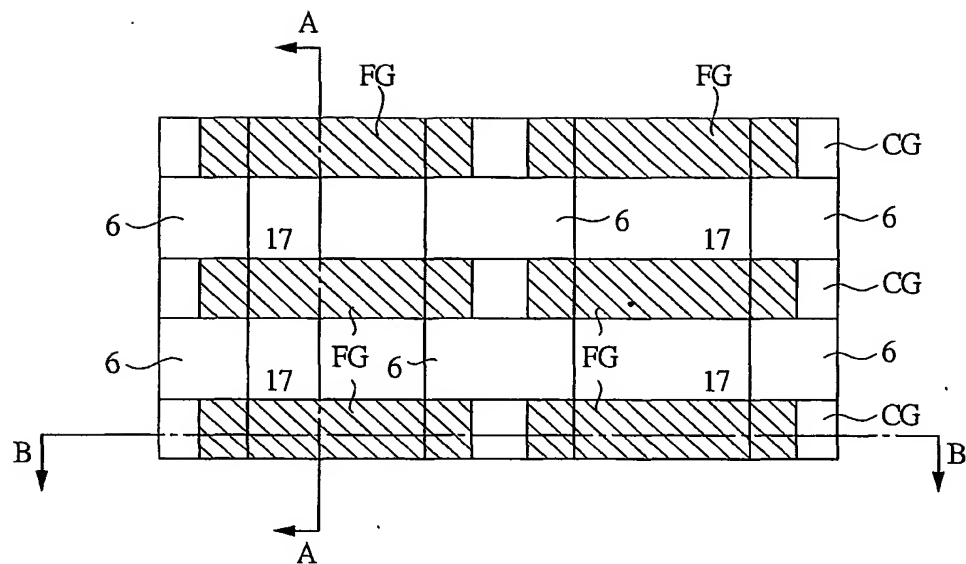


図 48



49



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10082

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/115, H01L21/8247, H01L29/788, H01L29/792, H01L21/76, H01L21/8234, H01L27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/115, H01L21/8247, H01L29/788, H01L29/792, H01L21/76, H01L21/8234, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002

Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-150833 A (Hitachi, Ltd.), 30 May, 2000 (30.05.2000), Par. Nos. [0106] - [0118]; Figs. 25 to 32 (Family: none)	1-36
Y	JP 11-317508 A (Hitachi, Ltd.), 16 November, 1999 (16.11.1999), Full text; Figs. 1 to 15 (Family: none)	1-23, 35, 36
Y	JP 2000-36535 A (Samsung Electron Co., Ltd.), 02 February, 2000 (02.02.2000), Full text; Figs. 1 to 7 & KR 99081134 A & CN 1233851 A	1-4, 9-36
Y	JP 11-340313 A (Samsung Electron Co., Ltd.), 10 December, 1999 (10.12.1999), Full text; Figs. 6 to 12 & KR 99084517 A & US 6187651 A	5-8
Y	US 5925908 A (Motorola, Inc.), 20 July, 1999 (20.07.1999), Full text; Figs. 1 to 2 & JP 11-54640 A	11-14, 19-23, 29, 33, 34

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 February, 2002 (05.02.02)Date of mailing of the international search report
19 February, 2002 (19.02.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10082

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Full text; Figs. 1 to 2 & DE 19830477 A	

国際調査報告

国際出願番号 PCT/JPO1/10082

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/115, H01L21/8247, H01L29/788, H01L29/792, H01L21/76, H01L21/8234, H01L27/088

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/115, H01L21/8247, H01L29/788, H01L29/792, H01L21/76, H01L21/8234, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-150833 A(株式会社日立製作所) 2000.05.30 段落番号【0106】-【0118】、図25-32(ファミリーなし)	1-36
Y	JP 11-317508 A(株式会社日立製作所) 1999.11.16 全文、図1-15(ファミリーなし)	1-23, 35, 36
Y	JP 2000-36535 A(三星電子株式会社) 2000.02.02 全文、図1-7 & KR 99081134 A & CN 1233851 A	1-4, 9-36

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

05.02.02

国際調査報告の発送日

19.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河口 雅英



4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-340313 A(三星電子株式会社) 1999. 12. 10 全文, 図6-12 & KR 99084517 A & US 6187651 A	5-8
Y	US 5925908 A(Motorola, Inc.) 1999. 07. 20 全文, 図1-2 & JP 11-54640 A 全文, 図1-2 & DE 19830477 A	11-14, 19-23, 29, 33, 34

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.